

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-094082

(43)Date of publication of application : 29.03.2002

(51)Int.Cl.

H01L 31/02
H01L 21/3205
H01L 23/12
H01L 27/14
H04N 5/335

(21)Application number : 2001-165017

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 31.05.2001

(72)Inventor : WADA KENJI

(30)Priority

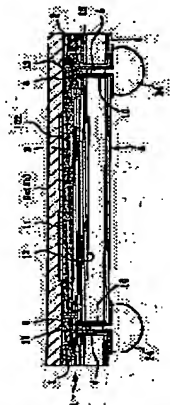
Priority number : 2000209352 Priority date : 11.07.2000 Priority country : JP

(54) OPTICAL ELEMENT AND ITS MANUFACTURING METHOD AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an optical element that can miniaturize a device and at the same time can secure the electrical continuity of both surfaces, a method for manufacturing the light element, and electronic equipment.

SOLUTION: In this manufacturing method of the light element, a through-hole 4 is formed in a semiconductor device 3 having an optical section 13 and an electrode 2 being electrically connected to the optical section 13, and a conductive layer 8 including the inner-wall surface of the through-hole 4 is formed at the section between a first surface B at a side, where the optical section 13 of the semiconductor device 3 is formed and a second surface A counterposing the first one B.



LEGAL STATUS

[Date of request for examination]

22.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the light corpuscle child who has forming the conductive layer covering the 2nd field which counters said 1st field from the 1st near field where said optical department of said semiconductor device was formed in the semiconductor device equipped with the electrode connected to the optical department, said optical department, and the electric target including forming a through hole and the internal surface of said through hole.

[Claim 2] The manufacture approach of the light corpuscle child who has further forming the external electrode linked to said conductive layer and electric target in said 2nd field of said semiconductor device in the manufacture approach of a light corpuscle child according to claim 1.

[Claim 3] The manufacture approach of the light corpuscle child who forms said conductive layer on said stress relaxation layer in the manufacture approach of a light corpuscle child according to claim 1 or 2 after forming a stress relaxation layer in said 2nd field of said semiconductor device.

[Claim 4] The manufacture approach of the light corpuscle child who forms said external electrode in the location corresponding to said stress relaxation layer in said 2nd field in the manufacture approach of the light corpuscle child according to claim 3 who quotes claim 2.

[Claim 5] It is the manufacture approach of the light corpuscle child who is the semiconductor chip with which it comes to cut said semiconductor device from a semi-conductor wafer in the manufacture approach of a light corpuscle child given in either of claim 1 to claims 4.

[Claim 6] It is the manufacture approach of the light corpuscle child who said semiconductor devices are some semi-conductor wafers in the manufacture approach of a light corpuscle child given in either of claim 1 to claims 4, and has further cutting said semi-conductor wafer for said every semiconductor device.

[Claim 7] The manufacture approach of the light corpuscle child who has further preparing a light transmission nature member in said 1st field side after forming said conductive layer in either of claim 1 to claims 6 in the manufacture approach of the light corpuscle child of a publication.

[Claim 8] It is a light corpuscle child's manufacture approach that said light transmission nature member has the shape of said semiconductor chip and abbreviation isomorphism in the manufacture approach of the light corpuscle child according to claim 7 who quotes claim 5.

[Claim 9] It is a light corpuscle child's manufacture approach that said light transmission nature member has the shape of said semi-conductor wafer and abbreviation isomorphism in the manufacture approach of the light corpuscle child according to claim 7 who quotes claim 6.

[Claim 10] In the manufacture approach of the light corpuscle child according to claim 7 who quotes claim 6 said light transmission nature member Are the shape of said each semiconductor device and abbreviation isomorphism of said semi-conductor wafer, and an excellent article part is judged by conducting electrical-characteristics inspection about said each semiconductor device of said semi-conductor wafer. The manufacture approach of the light corpuscle child judge said light transmission nature member to be said excellent article part and who shifts and prepares in said that semiconductor device.

[Claim 11] The manufacture approach of the light corpuscle child who prepares said light transmission nature member in the manufacture approach of a light corpuscle child according to claim 10 after cutting said semi-conductor wafer for said every semiconductor device.

[Claim 12] It is a light corpuscle child's manufacture approach that said light transmission nature member is optical glass in the manufacture approach of a light corpuscle child given in either of claim 7 to claims 11.

[Claim 13] The manufacture approach of the light corpuscle child who has further preparing a light filter in either of claim 1 to claims 12 in the manufacture approach of the light corpuscle child of a publication at said 1st field side.

[Claim 14] The manufacture approach of the light corpuscle child who has further preparing a micro lens in said

1st field side after forming said conductive layer in either of claim 1 to claims 13 in the manufacture approach of the light corpuscle child of a publication.

[Claim 15] He is the light corpuscle child who has the conductive layer in which it is the light corpuscle child who consists of a semiconductor chip which has the electrode connected to the optical department, said optical department, and the electric target, and said semiconductor chip was formed covering the 2nd field which counters said 1st field including the internal surface of a through hole and said through hole from the 1st near field in which said optical department was formed.

[Claim 16] The light corpuscle child who has further the external electrode which it is formed in said 2nd field of said semiconductor chip, and comes to connect with said conductive layer and electric target in a light corpuscle child according to claim 15.

[Claim 17] He is the light corpuscle child who has further the stress relaxation layer formed in said 2nd field of said semiconductor chip in a light corpuscle child according to claim 15 or 16 and who comes to form said conductive layer on said stress relaxation layer.

[Claim 18] He is the light corpuscle child whom it comes to form in the location corresponding to said stress relaxation layer [in / on the light corpuscle child according to claim 17 who quotes claim 16, and / in said external electrode / said 2nd field].

[Claim 19] The light corpuscle child who has further the light transmission nature member prepared in either of claim 15 to claims 18 in the light corpuscle child of a publication at the 1st [of said semiconductor chip / said] field side.

[Claim 20] He is the light corpuscle child said whose light transmission nature member has the shape of said semiconductor chip and abbreviation isomorphism in a light corpuscle child according to claim 19.

[Claim 21] He is the light corpuscle child said whose light transmission nature member is optical glass in a light corpuscle child according to claim 19 or 20.

[Claim 22] The light corpuscle child who has further the light filter prepared in either of claim 15 to claims 21 in the light corpuscle child of a publication at the 1st [of said semiconductor chip / said] field side.

[Claim 23] The light corpuscle child who has further the micro lens prepared in either of claim 15 to claims 22 in the light corpuscle child of a publication at the 1st [of said semiconductor chip / said] field side.

[Claim 24] It is electronic equipment which is equipped with the light corpuscle child who consists of a semiconductor chip which has the electrode connected to the optical department, said optical department, and the electric target, and has the conductive layer in which said semiconductor chip was formed covering the 2nd field which counters said 1st field including the internal surface of a through hole and said through hole from the 1st near field in which said optical department was formed.

[Claim 25] Electronic equipment which has further the display which displays the image based on the signal from said light corpuscle child in electronic equipment according to claim 24.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to electronic equipment at a light corpuscle child and its manufacture approach list.

[0002]

[Description of the Prior Art] Drawing 16 is the sectional view expanding and showing the conventional light corpuscle child package.

[0003] This conventional light corpuscle child package 200 contains in the laminating ceramics the ceramic package 204 which soldered the lead 202. The light corpuscle child 208 is fixed by the die bond material 210 on the mounting section 206 of a ceramic package 204. Electrical installation is planned by the light corpuscle child's 208 electrode 212, the electrode 214 of a ceramic package 204, and ** wirebonding. Moreover, the lid material (optical glass) 218 is arranged above the light corpuscle child 208. The lid material 218 fixes with low melting glass 220, where the edge is hooked on the step 216 of a ceramic package 204, and it is closing the centrum of a ceramic package 204.

[0004]

[Problem(s) to be Solved by the Invention] since [thus,] the laminating of the light corpuscle child 208 is carried out on a ceramic package 204 and wirebonding is performing the mutual electrode conventionally — the area of the optical department after packaging — comparing — the area of the light corpuscle child package 200 — large — not becoming — it did not obtain but the limitation was in high-density-assembly-ization.

[0005] Moreover, the top where a material cost is high, since the production process is complicated, a ceramic package 204 will become cost high.

[0006] The object of this invention is to provide with electronic equipment the light corpuscle child who can secure an electric flow of both sides, and its manufacture approach list while attaining the miniaturization of equipment.

[0007]

[Means for Solving the Problem] (1) It has that the manufacture approach of the light corpuscle child concerning this invention forms the conductive layer covering the 2nd field which counters said 1st field from the 1st near field where said optical department of said semiconductor device was formed in the semiconductor device equipped with the electrode connected to the optical department, said optical department, and the electric target including forming a through hole and the internal surface of said through hole.

[0008] According to this invention, a conductive layer is formed covering the 2nd field which counters said 1st field from the 1st near field in which the through hole was formed in the semiconductor device and the optical department of a semiconductor device was formed including the internal surface of the through hole. Therefore, electrical installation with the exterior is performed to a 2nd field side using the conductive layer which carried out extension formation. For this reason, the ceramic package for forming an external electrode like before etc. becomes possible [becoming unnecessary and lowering cost.], further, a component-side product is reduced substantially and it becomes easy to high-density-assembly-ize it.

[0009] (2) In this light corpuscle child's manufacture approach, you may have further forming the external electrode linked to said conductive layer and electric target in said 2nd field of said semiconductor device.

[0010] (3) In this light corpuscle child's manufacture approach, after forming a stress relaxation layer in said 2nd field of said semiconductor device, said conductive layer may be formed on said stress relaxation layer.

[0011] (4) Said external electrode may be formed in the location corresponding to said stress relaxation layer in said 2nd field in this light corpuscle child's manufacture approach.

[0012] (5) In this light corpuscle child's manufacture approach, said semiconductor device may be a semiconductor chip which it comes to cut from a semi-conductor wafer.

[0013] (6) In this light corpuscle child's manufacture approach, said semiconductor devices are some semi-conductor wafers, and may have further cutting said semi-conductor wafer for said every semiconductor device.

[0014] If semiconductor devices are some semi-conductor wafers, an electric flow of the 1st and 2nd fields can be aimed at in the phase of the semi-conductor wafer before cutting a semiconductor chip to the piece of an individual. Therefore, a production process is simplified.

[0015] (7) In this light corpuscle child's manufacture approach, after forming said conductive layer, you may have further preparing a light transmission nature member in said 1st field side.

[0016] (8) In this light corpuscle child's manufacture approach, said light transmission nature member may have the shape of said semiconductor chip and abbreviation isomorphism.

[0017] (9) In this light corpuscle child's manufacture approach, said light transmission nature member may have the shape of said semi-conductor wafer and abbreviation isomorphism.

[0018] (10) In this light corpuscle child's manufacture approach, by conducting electrical-characteristics inspection about said each semiconductor device of said semi-conductor wafer, it is the shape of said each semiconductor device and abbreviation isomorphism of said semi-conductor wafer, and said light transmission nature member judges an excellent article part, please judge it to be said excellent article part, it shifts, and may prepare said light transmission nature member in said that semiconductor device.

[0019] According to this, please conduct electrical-characteristics inspection about each semiconductor device of a semi-conductor wafer, judge an excellent article part, and judge with an excellent article part, and it shifts and a light transmission nature member is prepared in that semiconductor device. Therefore, since a light transmission nature member is not prepared in the semiconductor device of a defective, there is no futility of a light transmission nature member, the yield improves, and a manufacturing cost can be controlled.

[0020] (11) In this light corpuscle child's manufacture approach, after cutting said semi-conductor wafer for said every semiconductor device, said light transmission nature member may be prepared.

[0021] (12) In this light corpuscle child's manufacture approach, said light transmission nature member may be optical glass.

[0022] (13) In this light corpuscle child's manufacture approach, you may have further preparing a light filter in said 1st field side.

[0023] (14) In this light corpuscle child's manufacture approach, after forming said conductive layer, you may have further preparing a micro lens in said 1st field side.

[0024] (15) The light corpuscle child concerning this invention is a light corpuscle child who consists of a semiconductor chip which has the electrode connected to the optical department, said optical department, and the electric target, and said semiconductor chip has the conductive layer formed covering the 2nd field which counters said 1st field from the 1st near field in which said optical department was formed including the internal surface of a through hole and said through hole.

[0025] According to this invention, a semiconductor chip contains the conductive layer formed covering the 2nd field which counters said 1st field from the 1st near field in which the optical department of a semiconductor chip was formed including the internal surface of a through hole and its through hole. Electrical installation with the exterior is performed to a 2nd field side using the conductive layer which carried out extension formation. For this reason, the ceramic package for forming an external electrode like before etc. becomes possible [becoming unnecessary and lowering cost], further, a component-side product is reduced substantially and it becomes easy to high-density-assembly-ize it.

[0026] (16) In this light corpuscle child, it is formed in said 2nd field of said semiconductor chip, and you may have further the external electrode which it comes to connect with said conductive layer and electric target.

[0027] (17) In this light corpuscle child, it has further the stress relaxation layer formed in said 2nd field of said semiconductor chip, and said conductive layer may be formed on said stress relaxation layer.

[0028] (18) Said external electrode may be formed in the location corresponding to said stress relaxation layer in said 2nd field in this light corpuscle child.

[0029] (19) In this light corpuscle child, you may have further the light transmission nature member prepared in the 1st [of said semiconductor chip / said] field side.

[0030] (20) In this light corpuscle child, said light transmission nature member may have the shape of said semiconductor chip and abbreviation isomorphism.

[0031] (21) In this light corpuscle child, said light transmission nature member may be optical glass.

[0032] (22) In this light corpuscle child, you may have further the light filter prepared in the 1st [of said semiconductor chip / said] field side.

[0033] (23) In this light corpuscle child, you may have further the micro lens prepared in the 1st [of said semiconductor chip / said] field side.

[0034] (24) The electronic equipment concerning this invention is equipped with the light corpuscle child who consists of a semiconductor chip which has the electrode connected to the optical department, said optical department, and the electric target, and said semiconductor chip has the conductive layer formed covering the 2nd field which counters said 1st field from the 1st near field in which said optical department was formed including the internal surface of a through hole and said through hole.

[0035] (25) In this electronic equipment, you may have further the display which displays the image based on the signal from said light corpuscle child.

[0036]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to a drawing. Although the gestalt of the next operation mentions and explains a photo detector as a light corpuscle child's example, this invention may not be limited to this and a light corpuscle child may be a light emitting device. A light corpuscle child has an optical department. When an optical department is a light sensing portion when a light corpuscle child is a photo detector, and a light corpuscle child is a light emitting device, an optical department is a light-emitting part.

[0037] (Operation gestalt 1.) The sectional view which drawing 1 expands the photo detector concerning the 1st operation gestalt of this invention, and is shown, and drawing 2 are the explanatory views of the 1st manufacture approach of the photo detector of this operation gestalt, and show the relation between the semi-conductor wafer 5 used as the base, and the optical glass 9 (light transmission nature member) stuck on this. In addition, although drawing 2 shows the example which uses optical glass 9 as a light transmission nature member, resin (plastics) etc. may be used for the ingredient of a light transmission nature member other than glass.

[0038] The condition of a semi-conductor wafer that two or more semiconductor devices 3 in which drawing 3 - drawing 5 are process drawings of the 2nd manufacture approach of the photo detector of this operation gestalt, and drawing 3 has a light sensing portion were formed, The condition which drawing 4 conducted electrical-characteristics inspection of each semiconductor device 3, and attached "BAD" mark 3a to the defect part, and the condition which shifted and stuck the optical glass (henceforth optical-glass chip 9b) of the piece of an individual on that semiconductor device 3 that drawing 5 should judge with an excellent article are shown, respectively. In addition, in the gestalt of this operation, either some semi-conductor wafers 5 or the semiconductor chip 6 after cutting is pointed out in a semiconductor device 3.

[0039] The photo detector 1 concerning this operation gestalt may perform the packaging (formation of a conductive layer etc.) on wafer level. In that case, a photo detector 1 is cut and obtained every semiconductor device 3 of drawing 2 or drawing 5 by the piece of an individual. Or a photo detector 1 is in the condition of the semiconductor chip already cut by ****, and packaging (a conductive layer etc. forms) may be carried out.

[0040] A photo detector 1 consists of a semiconductor chip 6 which has the electrode 2 electrically connected with the light sensing portion 13 and the light sensing portion 13 like drawing 1. A semiconductor chip 6 has the 2nd field A which counters the 1st field B in which the light sensing portion 13 was formed, and the 1st field B. An electrode 2 is formed in the 1st field B in many cases. In addition, a semiconductor chip 6 is the semiconductor device 3 (refer to drawing 2 and drawing 3) cut from the semi-conductor wafer 5.

[0041] A semiconductor chip 6 has the through hole 4 which penetrates the 2nd field A from the 1st field B. And it applies to the 2nd field A from the electrode 2 formed in the 1st field B including the internal surface of the through hole 4 of a semiconductor chip 6, and the conductive layer 8 is formed. In other words, one side is electrically connected to an electrode 2, and the conductive layer 8 is formed so that another side may reach the 2nd field A.

[0042] A photo detector 1 may have the pewter ball 24 used as the external electrode formed on the conductive layer 8 of the periphery of the through hole 4 in the 2nd field A of a semiconductor chip 6. Moreover, a photo detector 1 may have optical-glass 9a or optical-glass chip 9b stuck on the 1st field B of a semiconductor chip 6 by the adhesives 11 which consist of transparence resin or low melting glass.

[0043] The through hole 4 and the hole 12 open for free passage are formed in the electrode 2 through the insulator layer 10. The laminating of the conductive layer 8 is carried out to some electrodes [at least] 2, and it is formed in it. In the inside of a through hole 4, electrical installation with the circuit which the insulator layer 10 was formed in the bottom of a conductive layer 8, and was formed in the interior of a semiconductor chip 6 is intercepted. And electric connection between the 1st field B of a semiconductor chip 6 and the 2nd field A is achieved by the conductive layer 8.

[0044] Although the whole surface is stuck on the light sensing portion 13 here, optical-glass 9a or optical-glass chip 9b may not be restricted to this, and it may be stuck so that the periphery may surround a light sensing portion 13.

[0045] When a photo detector 1 is an image sensor of a color, as shown in drawing 1, a light filter 102 may be formed in optical-glass 9a (or optical-glass chip 9b). A light filter 102 consists of a coloring layer, a protective coat, etc., and it is formed so that it may correspond to each pixel electrode (each light sensing portion 13) and 1 to 1. A light filter 102 is formed by the staining technique which is already common knowledge, the pigment method, the electrodeposition process, or print processes, for example. It is forming a light filter 102 in optical-glass 9a (or optical-glass chip 9b) of another member in a semiconductor chip 6, and a production process becomes easy rather than it forms in a semiconductor chip 6 directly.

[0046] A semiconductor chip 6 has an insulator layer (interlayer film) 16 on the front face in which the light sensing portion 13 was formed. An insulator layer 16 is an oxide film of the silicon which is the fundamental ingredient of a semiconductor chip in many cases. An electrode (pad) 2 is formed on an insulator layer 16, and the electrode 2 is electrically connected with the light sensing portion 13 in the part which is not illustrated. An electrode 2 is formed with metals, such as aluminum or copper, in many cases. The electrode 2 is located in a line along with at least one side (in the cases of many two sides or four sides) of the field of a semiconductor chip 6.

[0047] Next, it explains, referring to drawing 1 about the 1st manufacture approach of the photo detector 1 mentioned above based on process drawing of drawing 2 and drawing 6 (A) - drawing 8 (B).

[0048] (The 1st manufacture approach) It explains first, referring to drawing 1 and drawing 2 based on drawing 6 (A) - drawing 8 (B) about the creation procedure of a semiconductor chip 6. In addition, in the example shown below, a conductive layer etc. is formed on wafer level (in condition of a semi-conductor wafer).

[0049] As shown in drawing 6 (A), an insulator layer 16 is formed in the front face on which the light sensing portion 13 was formed in the semi-conductor wafer 5 before cutting to the semiconductor chip 6 of the piece of an individual, and lower layer section 2a of an electrode 2 is formed on the insulator layer 16. And the laminating of the insulator layer 28 is carried out on lower layer section 2a, and it is formed in the edge of lower layer section 2a so that management 2b of an electrode 2 may result on an insulator layer 28. Moreover, the center section of the electrode 2 is avoided, an edge is covered, and the passivation film 30 is formed. The passivation film 30 can be formed with SiO₂, SiN, polyimide resin, etc.

[0050] First, an electrode 2 is also covered to the field in which the 1st field B 13, i.e., light sensing portion, and electrode 2 of the semi-conductor wafer 5 were formed, and a resist 32 is formed in it. As an approach of forming a resist 32, it is possible to use approaches, such as a spin coat method, a dipping method, and a spray coating method. A resist 32 may be a wrap thing about the part which is not etched at the etching process mentioned later, may be any of a photoresist, an electron beam resist, and X ray resist, and may be any of a positive type or a negative mold. The resist 32 used with this operation gestalt is a photoresist of a positive type. After coating, in order to make it a resist 32 not adhere to other members, it is prebaked and flies a solvent.

[0051] Subsequently, as shown in drawing 6 (B), patterning of the resist 32 is carried out. In detail, a mask is arranged on a resist 32 and energy is irradiated. Energy changes with properties of a resist 32 and any of light, an electron ray, and an X-ray may be used for it. With this operation gestalt, it exposes using a photoresist 32. The configuration of a mask is decided by the patterning configuration and turns into a reversal configuration by whether a resist 32 is a positive type or it is a negative mold.

[0052] Postbake of the resist 32 is developed and carried out after exposure. The opening 34 to which the center section of the electrode 2 is exposed is formed in the resist 32 by which patterning was carried out.

[0053] The center section of the electrode 2 exposed by the opening 34 of a resist 32 as shown in drawing 6 (C) is etched. It is desirable to apply dry etching to etching. Dry etching may be reactive ion etching (RIE). Moreover, wet etching may be applied as etching. In this way, a hole 36 is formed in the center section (part except an edge) of the electrode 2. A hole 36 is formed in the location used as the through hole 4 explained by above-mentioned drawing 1. In detail, a hole 36 is almost the same as the open end of a through hole 4, or is formed in the magnitude beyond it, and is open for free passage with a through hole 4.

[0054] And after exfoliating a resist 32, insulator layers 38 and 40 are formed in the opposite hand (2nd field A side) the side (1st field B side) in which the electrode 2 of the semi-conductor wafer 5 was formed as shown in drawing 6 (D): Insulator layers 38 and 40 may be silicon oxide and a nitride, and can be formed by chemical vapor deposition (CVD). The insulator layer 38 by the side of the 1st field B is a wrap about an electrode 2 and the passivation film 30. Since the hole 36 is formed in the electrode 2, for an insulator layer 38, the interior of a hole 36 (an internal surface and exposed insulator layer 16) is also a wrap.

[0055] Subsequently, as shown in drawing 6 (E), after forming resists 42 and 44 in the 1st [of the semi-conductor wafer 5] field B, and 2nd field A side, patterning of these resists 42 and 44 is carried out, and openings 46 and 48 are formed in the location used as the through hole 4 explained by above-mentioned drawing 1. Opening 46 is formed inside the hole 36 of an electrode 2 so that an insulator layer 38 may exist between a hole 36 and opening 46. Therefore, openings 46 and 48 expose a part of insulator layers 38 and 40. In addition, the content explaining the resist 32 which mentioned above formation of resists 42 and 44 and the approach of the patterning corresponds. After forming on the other hand (for example, resist 42) (to for example, the 1st [of the semi-conductor wafer 5] field B side) and prebaking among resists 42 and 44, another side (for example, resist 44) may be formed, and this may be prebaked.

[0056] As shown in drawing 6 (F), a hole 50 is formed inside the hole 36 of an electrode 2, and a hole 52 is formed in insulator layers 16 and 38 at an insulator layer 40.

[0057] As shown in drawing 6 (G), resists 42 and 44 are exfoliated. And as shown in drawing 7 (A), the part exposed in the holes 50 and 52 of the semi-conductor wafer 5 is etched. This part to etch is a part in which the light sensing portion 13 is not formed, and is formed with silicon. By this etching, the hollows 54 and 56 which are easy to recognize visually are formed in the front face of the semi-conductor wafer 5. Especially the configuration of hollows 54 and 56 is not limited, but may be a configuration to which the taper was given and may have the wall

surface vertical to a front face. Although etching is simple to apply wet etching, it may apply dry etching. The configuration of hollows 54 and 56 is decided by the class of etching.

[0058] As shown in drawing 7 (B), a stoma 58 (for example, diameter of about 20 micrometers) is formed in the semi-conductor wafer 5. A stoma 58 is a path smaller than the through hole 4 explained by above-mentioned drawing 1, and is formed in the core of a through hole 4. Laser (for example, an YAG laser and a CO2 laser) can be used for formation of a stoma 58. A laser beam can recognize and irradiate a location in the hollows 54 and 56 mentioned above. A laser beam is irradiated only from one field of the semi-conductor wafer 5, a stoma 58 may be formed and a laser beam may be irradiated from both sides of the semi-conductor wafer 5 (or simultaneous [Sequence]). If a laser beam is irradiated from both sides, there is little effect which it has on the semi-conductor wafer 5.

[0059] As shown in drawing 7 (C), a through hole 4 is formed in the semi-conductor wafer 5. A through hole 4 makes the stoma 58 mentioned above expand, and is formed. For example, wet etching may be applied and the internal surface of a stoma 58 may be etched. As an etching reagent, the water solution (buffered ****) which mixed **** and **-ized ammonium may be used.

[0060] Although the through hole 4 is formed so that an opening cross section may serve as the almost same path in all the parts of shaft orientations here, it may be formed in the configuration which has an open end and the pars intermedia (for example, about 40-50-micrometer diameter) where a path is larger than an open end for this through hole. Thus, if the path of the pars intermedia of a through hole is enlarged as much as possible, it will become easy to perform CVD and electroless deposition which are mentioned later. If a through hole 4 is formed in the shape of a straight like this example, lowering of the reinforcement of the semi-conductor wafer 5 by forming a through hole 4 can be suppressed. In addition, the through hole 4 may have the taper section which connects an open end and pars intermedia. The taper section is also formed by expanding a stoma 58 by wet etching.

[0061] Next, as shown in drawing 7 (D), an insulator layer 10 is formed in the internal surface of a through hole 4 at least. CVD may be applied to formation of an insulator layer 10. An insulator layer 10 may be formed in fields other than the internal surface of a through hole 4. For example, an insulator layer 10 may be formed on an insulator layer 38 and 40. However, it is made for an insulator layer 10 not to close opening of a through hole 4.

[0062] Next, as shown in drawing 7 (E), after forming a resist 64 so that one opening of the through hole 4 of the semi-conductor wafer 5 may be plugged up, patterning of the resist 64 is carried out and opening 68 is formed in the 1st [of the semi-conductor wafer 5] field B side. In addition, a resist 66 may be formed also in the 2nd field A side when forming a resist 64. And resists 64 and 66 are prebaked. Formation of resists 64 and 66 and the approach of the patterning can apply the content explaining the resist 32 mentioned above. Although opening 68 is formed above some electrodes [at least] 2, it has become [that a part of resist 64 is left behind with as, and] above the through hole 4. For example, opening 68 is formed in the shape of a ring between the inner circumference of a wrap configuration, and ** in the open end of a through hole 4 at least with the periphery of a configuration which falls within the range of an electrode 2. In addition, the shape of a ring here may be a square ring-like, or may be a round-head ring-like. Opening 68 exposes a part of insulator layer 10.

[0063] Subsequently, as shown in drawing 7 (F), insulator layers 10 and 38 are etched by using as a mask the resist 64 by which patterning was carried out, and some electrodes 2 are exposed. Since it is the part which aims at electric connection, the large thing of a part [exposing here] is desirable. Then, as shown in drawing 7 (G), resists 64 and 66 are exfoliated.

[0064] Next, in order to form a conductive layer, patterning is carried out and it prebakes, after forming a resist in the 1st [of the semi-conductor wafer 5] field B, and 2nd field A side. Then, as shown in drawing 8 (A), a conductive layer 8 is formed in the field which is missing from the 2nd field A from the electrode 2 of the 1st field B, and also contains the internal surface (here insulator layer 10 front face in a through hole 4) of a through hole 4.

[0065] If the formation process of this conductive layer 8 is explained further in full detail, a resist (not shown) will be first formed in the 1st [of the semi-conductor wafer 5] field B, and 2nd field A side. Since the resist by the side of the 1st field B is formed in the field where a level difference is large, it is desirable that it is what made the shape of a film beforehand (dry film).

[0066] Subsequently, patterning of the resist by the side of the 1st [of the semi-conductor wafer 5] field B and the 2nd field A is carried out, and the circuit pattern (not shown) which stands in a row in a through hole 4, opening (not shown) open for free passage, and this opening is formed. Opening by the side of the 1st field B exposes some electrodes 2.

[0067] Next, the catalyst for electroless deposition (not shown) is given until it results on the exposed part of an electrode 2 from a through hole 4. Here, palladium is used as a catalyst. As the formation approach of a catalyst, the semi-conductor wafer 5 may be dipped in the mixed solution containing palladium and tin, and only palladium may be prepared by processing from acids, such as a hydrochloric acid, after that. Or by dipping the semi-conductor wafer 5 in a tin chloride solution, tin ion (reducing agent) is made to adsorb, after that, the semi-conductor wafer 5 may be dipped in a palladium-chloride solution, palladium ion may be returned with tin ion (reducing agent), and a palladium nucleus (catalyst) may be deposited.

[0068] Or a catalyst may be directly established with an ink jet method. According to the ink jet method, it is possible to prepare a high speed and ink economically without futility by applying the technique put in practical use for ink jet printers. The ink jet head was put in practical use for example, for ink jet printers, the piezo jet type using a piezoelectric device or its bubble jet (trademark) type using the electric thermal-conversion object as an energy generation component is usable, and regurgitation area and a regurgitation pattern can be set as arbitration. This enables it to form an electric connection, without [without it performs a resist patterning process and a resist exfoliation process, and] performing an etching process, when forming a metal layer in the whole surface.

[0069] Subsequently, the resist by the side of the 1st [of the semi-conductor wafer 5] field B and the 2nd field A is exfoliated. By exfoliating a resist, a catalyst can be prepared only in a field to form an electric connection in. At the time of exfoliation of a resist, ultraviolet rays may be irradiated, it may dip in a weak alkaline solution, and you may exfoliate a resist. A resist can be exfoliated easily and certainly by this.

[0070] In addition, although the catalyst is exposed to the formation field of an electric connection by establishing a catalyst after patternizing a resist here, and exfoliating a resist after that, it does not restrict to this. For example, after preparing a catalyst in the whole surface, a catalyst may be exposed to the formation field of a connection electric as a result by patternizing and preparing a resist except for the formation field of an electric connection. In this case, a resist is exfoliated after finishing formation of an electric connection.

[0071] Next, the above-mentioned conductive layer 8 is formed in the field which a catalyst exposes by electroless deposition. In addition, the catalyst is prepared in the internal-surface [of a through hole 4] (here front face of insulator layer 10), 1st [of the semi-conductor wafer 5] field B, and 2nd field A side. Therefore, a conductive layer 8 is continuously formed through a through hole 4 in the 1st [of the semi-conductor wafer 5] field B, and 2nd field A side. Moreover, the laminating of the conductive layer 8 is carried out on an electrode 2.

[0072] As an ingredient of a conductive layer 8, nickel, Au, nickel+Au, Cu, nickel+Cu, or nickel+Au+Cu can be used. For example, coppering liquid is used, the copper ion in a solution is returned by using as a nucleus the palladium which is a catalyst, and copper (conductive layer 8) is deposited. In addition, two or more metals (for example, nickel+Cu, nickel+Au+Cu) of a different kind may be used as an electrical conducting material for forming a conductive layer 8, and a conductive layer 8 may be formed by two or more layers by this.

[0073] A weak alkaline coppering solution may be used for electroless deposition. PB-570 (manufacture name: Ebara you G light incorporated company) which comes to mix PB-570MU [for example,], PB-570A, PB-570B, and PB-570C and PB-570S as weak alkaline (pH9 neighborhood) coppering may be used. According to this, since coppering liquid is alkalescence, even if an electrode 2 is aluminum, for example, breakage done to it can be lessened.

[0074] Or if the conductive layer which is not illustrated on the front face of an electrode 2 is formed and an electrode 2 is protected, the activity of the solution of strong-base nature will also become possible. a conductive layer 8 may come out further, and there may be, or the number of them may be [two or more]. For example, a conductive layer 8 may be formed by the bilayer of nickel and gold. As an approach of forming a conductive layer 8 with nickel, beforehand, on an electrode 2, zincate processing may be performed, the front face on aluminum may be permuted by zinc, it may be immersed into electroless-nickel-plating liquid after that, and nickel may be deposited through the substitution reaction of zinc and nickel. Or aluminum may be dipped in the palladium solution which adsorbs selectively only on aluminum, it may dip into electroless-nickel-plating liquid after that, and the coat of nickel may be deposited by using palladium as a nucleus. Although a conductive layer 8 may be formed only with nickel, it may dip into non-electrolyzed liquid gilding further, and a golden coat may be further formed on the surface of nickel. Electrical installation with a conductive layer 8 can be made still more reliable by forming a golden coat.

[0075] Although all the examples mentioned above are the formation approaches of the conductive layer 8 which used the wet method (plating), the approach which combined the approach using the dry process (sputter etc.) currently conventionally performed as the other formation approaches or dry process, and a wet method may be

adopted.

[0076] In addition, as for the periphery part of the through hole 4 which serves as an electric connection by the side of the 2nd field A in a conductive layer 8, it is desirable to form a conductive layer thickly (for example, about 5 micrometers or more).

[0077] It is set to plinth 8a (refer to drawing 8 (A)) to form a conductive layer 8 of the above process, and for a part of conductive layer 8 form a pewter ball in the 2nd field A.

[0078] The formation process of a pewter ball forms the pewter ball 24 used as an external electrode on plinth 8a, as shown in drawing 8 (B). Formation of the pewter ball 24 forms the pewter used as a pewter ball in the shape of a thick layer on plinth 8a first. The thickness of this pewter is decided by the amount of pewters corresponding to the diameter of a ball demanded at the time of subsequent pewter ball formation. The layer of a pewter is formed of electrolytic plating, printing, etc. Then, by the wet back, it is made the shape of a ball more than a semi-sphere, and considers as the pewter ball 24. Here, the wet back means carrying out a reflow and forming an abbreviation semi-sphere-like bump, after forming pewter material in an external electrode formation location.

[0079] The semi-conductor wafer 5 which has two or more semiconductor devices 3 shown in drawing 2 as mentioned above is obtained.

[0080] Optical glass 9 (light transmission nature member) may be formed in the semi-conductor wafer 5. For example, as shown in drawing 2, the optical glass 9 with which the dicing line Lb of the same pattern as the dicing line La of the semi-conductor wafer 5 was formed in the front face B of the semi-conductor wafer 5, i.e., the 1st field of a semiconductor device 3, by the shape of the semi-conductor wafer 5 and abbreviation isomorphism is stuck with the adhesives 11 which consist of transparence resin or low melting glass, after performing alignment of the mutual dicing lines La and Lb. Then, the photo detector 1 shown in drawing 1 is obtained by cutting both the semi-conductor wafer 5 and optical glass 9 along the dicing lines La and Lb.

[0081] Thus, in this operation gestalt, a conductive layer 8 is formed covering the 2nd field A which counters it from the 1st near field B in which the through hole 4 was formed in each semiconductor device 3 of the semi-conductor wafer 5, and the light sensing portion 13 of a semiconductor device 3 was formed including the internal surface of the through hole 4. Electrical installation with the exterior of a photo detector 1 can be performed to the 2nd field A using the conductive layer 8 which carried out extension formation. For this reason, since the ceramic package for forming an external electrode like before etc. becomes unnecessary, it becomes possible [lowering cost] and it becomes easy by reducing a component-side product substantially further to high-density-assembly-ize it. Moreover, since attachment of optical glass 9 is performed in the phase of the semi-conductor wafer 5 before cutting each semiconductor device 3 to the piece of an individual, a production process is simplified and particle management also becomes unnecessary.

[0082] Next, it explains, referring to drawing 1 about the 2nd manufacture approach of the photo detector 1 mentioned above based on process drawing of drawing 3 - drawing 5. In addition, creation procedures, such as a conductive layer 8, can apply the content explained by above-mentioned drawing 6 - drawing 8. Therefore, it explains from the phase where the semi-conductor wafer 5 which has a semiconductor device 3 here was obtained.

[0083] (The 2nd manufacture approach) please conduct electrical-characteristics inspection for each semiconductor device 3 of the semi-conductor wafer 5 shown in drawing 3 first using an LSI circuit tester and a wafer prober, judge a quality, and judge with a defect — it shifts, that semiconductor device 3 is resembled, and "BAD" mark 3a is attached like drawing 4. The approach using ink or laser as the approach of marking of "BAD" mark 3a and a wafer map (a computer memorizes the information on an excellent article or a defective) are used.

[0084] Subsequently, as shown in drawing 5, respectively, the optical glass of the piece of an individual, i.e., optical-glass chip 9b, is stuck on the 1st field B of the semiconductor device 3 judged to be an excellent article with the adhesives 11 which consist of transparence resin or low melting glass. Then, the photo detector 1 shown in drawing 1 is obtained by cutting the semi-conductor wafer 5 along the dicing line La.

[0085] Thus, also in this manufacture approach, since attachment of optical-glass chip 9b is performed in the phase of the semi-conductor wafer 5 before cutting each semiconductor device 3 to the piece of an individual, a production process is simplified.

[0086] Moreover, since the ceramic package for forming an external electrode like before etc. becomes unnecessary, it becomes possible [lowering cost] and it becomes easy by reducing a component-side product substantially further to high-density-assembly-ize it.

[0087] Moreover, since he is trying to stick optical-glass chip 9b on the 1st field B of the semiconductor device 3 judged to be the excellent article of the semi-conductor wafer 5, optical-glass chip 9b is not stuck on the light-

receiving chip formation section 3 of a defective, there is no futility of optical-glass chip 9b, and the yield improves.

[0088] Or after cutting the semi-conductor wafer 5 every semiconductor device 3, please judge with an excellent article, it shifts and optical-glass chip 9b may be stuck on the 1st field B of that semiconductor device 3.

[0089] (Operation gestalt 2.) Drawing 9 is the sectional view expanding and showing the photo detector concerning the 2nd operation gestalt of this invention, and has given the same sign to the same part as drawing 1 of the above-mentioned 1st operation gestalt among drawing. In addition, in explanation, above-mentioned drawing 2 - drawing 7 (G) shall be referred to.

[0090] The photo detector 100 concerning this operation gestalt may also perform the packaging on wafer level. Moreover, after sticking optical-glass chip 109b on each semiconductor device 3 which cut each semiconductor device 3 (refer to drawing 2) after attachment to the piece of an individual, and could be obtained in optical-glass 109a (light transmission nature member), or was judged to be an excellent article, a photo detector 100 cuts one semiconductor device 3 (refer to drawing 5) of the excellent articles to the piece of an individual, and may be obtained. In addition, optical-glass 109a (or optical-glass chip 109b) may be cover glass of a wrap sake about the light sensing portion 13 of a semiconductor chip 6.

[0091] A photo detector 100 consists of a semiconductor chip 6 which has the electrode 2 electrically connected with the light sensing portion 13 in the 1st field B in which the light sensing portion 13 was formed like drawing 9 . It is as the 1st operation gestalt having already explained the semiconductor chip 6.

[0092] A photo detector 100 has the stress relaxation layer 20 selectively formed in the 2nd field A of a semiconductor chip 6. And it is formed on the stress relaxation layer 20 from the electrode 2 including the internal surface of a through hole 4, applying a conductive layer 8. A photo detector 100 may have the pewter ball 24 into the part formed on the stress relaxation layer 20 among conductive layers 8. That is, the part formed on the stress relaxation layer 20 among conductive layers 8 serves as the plinth 22 for forming the pewter ball 24 used as an external electrode. Moreover, a photo detector 100 may have the protective coat 26 which is formed for the purpose of the protection and the dampproof improvement in the 2nd field A, and consists the part except the pewter ball 24 of a wrap solder resist layer, and optical-glass 109a (or optical-glass chip 109b) stuck on the 1st field B of a semiconductor chip 6 by the adhesives 11 which consist of transparence resin or low melting glass. In addition, although the whole surface mentions as the example what is stuck on the light sensing portion 13, optical-glass 109a (or optical-glass chip 109b) may not be restricted to this, and it may be stuck also here so that the periphery may surround a light sensing portion 13. About the other configuration, the content explained by above-mentioned drawing 1 is applicable.

[0093] Next, the manufacture approach of the photo detector 100 mentioned above is explained. Also in this example, it divides roughly as mentioned above, and there are two kinds of manufacture approaches. After one performs alignment of the mutual dicing lines La and Lb, it sticks optical-glass 109a which has the shape of the semi-conductor wafer 5 and abbreviation isomorphism and by which the dicing line Lb of the same pattern as the dicing line La of the semi-conductor wafer 5 was formed in the field of the side which has, the front face 3, i.e., the semiconductor device, of the semi-conductor wafer 5, with the adhesives 11 which consist of transparence resin or low melting glass (refer to drawing 2). Then, it is the approach of obtaining the photo detector 100 shown in drawing 9 by cutting both the semi-conductor wafer 5 and optical-glass 109a along the dicing lines La and Lb. Moreover, other one conducts electrical-characteristics inspection for each semiconductor device 3 of the semi-conductor wafer 5 using an LSI circuit tester and a wafer prober, it judges a quality, attaches "BAD" mark 3a to the defect light-receiving chip formation section, and sticks optical-glass chip 109b on the 1st field B of the light-receiving chip formation section 3 judged to be an excellent article with the adhesives 11 which consist of transparence resin or low melting glass, respectively (refer to drawing 3 - drawing 5). Then, it is the approach of obtaining the photo detector 100 shown in drawing 9 by cutting the semi-conductor wafer 5 along the dicing line La.

[0094] Although a semiconductor chip 6 is created through the process of drawing 6 (A) - drawing 7 (G) and drawing 10 (A) - drawing 11 (C), it can apply the content explained with the above-mentioned operation gestalt 1 as it is about a process (drawing 6 (A) - drawing 7 (G)) until it forms a through hole 4. Therefore, it explains here focusing on the process after through hole 4 formation (drawing 10 (A) - drawing 11 (C)).

[0095] First, a through hole 4 is formed in each semiconductor device 3 like drawing 7 (G), photosensitive polyimide resin is applied to the 2nd field A of the semi-conductor wafer 5 with which some electrodes 2 were exposed like drawing 10 (A), and the resin layer 70 is formed in it "by for example, spin coating method." It is desirable the range of 1-100 micrometers and that the resin layer 70 is formed by the thickness of about 10

micrometers still more preferably. In addition, in a spin coating method, since there is much polyimide resin which becomes useless, the equipment which carries out the regurgitation of the polyimide resin to band-like with a pump may be used. As such equipment, there is an FAS ultraprecise regurgitation mold coating system (refer to U.S. Pat. No. 4696885) by the FAS company etc. In addition, this resin layer 70 has a function as a stress relaxation layer 20 explained by above-mentioned drawing 9.

[0096] Subsequently, it leaves and removes like drawing 10 (B), the part 20, i.e., the stress relaxation layer, which serves as a plinth of the below-mentioned relocation wiring by exposure, development, and baking processing in the resin layer 70.

[0097] In addition, although the case where photosensitive polyimide resin was used for the resin which serves as the stress relaxation layer 20 here was mentioned as the example and explained, resin without photosensitivity may be used. For example, silicon denaturation polyimide resin, an epoxy resin, a silicon modified epoxy resin, etc. have the good Young's modulus when solidifying to use the construction material which can achieve work of stress relaxation low (1×10^{10} Pa or less). When nonphotosensitivity resin is used, a predetermined configuration is made to form through a photograph process using a photoresist after that.

[0098] Next, in order to form a conductive layer, patterning is carried out and it prebakes, after forming a resist in the 1st [of the semi-conductor wafer 5] field B, and 2nd field A side. Then, as shown in drawing 10 (C), a conductive layer 8 is formed in the field which is missing from the 2nd field A from the electrode 2 of the 1st field B, and has the wrap plinth 22 for the front face of the relocation wiring 18 and the stress relaxation layer 20 in the 2nd field A side, and also contains the internal surface (here insulator layer 10 front face in a through hole 4) of a through hole 4. About the detail of the formation process except the pattern of this conductive layer 8, the content explained using above-mentioned drawing 8 (A) and above-mentioned drawing 8 (B) of the operation gestalt 1 is applicable.

[0099] In addition, as for the plinth 22 which serves as an electric connection by the side of the 2nd field A, it is desirable to form a conductive layer thickly (for example, about 5 micrometers or more).

[0100] It becomes the plinth 22 for a bonnet and this part to form a pewter ball about the front face of the stress relaxation layer 20 in which the conductive layer 8 was formed in of the above process, a part of conductive layer 8 formed the relocation wiring 18 in in the 2nd field A, and the end of the relocation wiring 18 was formed by resin, such as polyimide.

[0101] The formation process of a pewter ball forms the photosensitive solder resist layer used as a protective coat 26 by spreading, as first shown in drawing 11 (A) all over the 2nd [of the semi-conductor wafer 5] field A side.

[0102] And exposure, development, and baking processing are performed, and as shown in drawing 11 (B), the field of the part which has covered the plinth 22 among solder resist layers is removed. In this way, the left-behind solder resist layer serves as the protective coat 26 aiming at protection of the 2nd field A when becoming a photo detector 100 (drawing 9) eventually, and further dampproof improvement as antioxidizing film.

[0103] Then, as shown in drawing 11 (C), the pewter ball 24 used as an external electrode is formed on a plinth 22. Formation of the pewter ball 24 forms the pewter used as a pewter ball in the shape of a thick layer on a plinth 22 first. The thickness of this pewter is decided by the amount of pewters corresponding to the diameter of a ball demanded at the time of subsequent pewter ball formation. The layer of a pewter is formed of electrolytic plating, printing, etc. Then, by the wet back, it is made the shape of a ball more than a semi-sphere, and considers as the pewter ball 24.

[0104] The semi-conductor wafer 5 which has two or more semiconductor devices 3 as shown in drawing 1 or drawing 3 as mentioned above is obtained. And when according to the semiconductor device 3 of the semi-conductor wafer 5 formed by doing in this way this is cut by the piece of an individual and becomes a photo detector 100 (drawing 9) eventually, the stress by the difference of the coefficient of thermal expansion between the circuit board (not shown) and a semiconductor chip 6 is eased by the stress relaxation layer 20 which consists of resin.

[0105] Thus, in this operation gestalt, the stress relaxation layer 20 is selectively formed in the 2nd [of each semiconductor device 3 of the semi-conductor wafer 5] field A side. And it is formed on the stress relaxation layer 20 from an electrode 2 including the internal surface of a through hole 4, applying a conductive layer 8. Also in the gestalt of this operation, electrical installation with the exterior of a photo detector 100 can be performed even on the stress relaxation layer 20 of the 2nd field A using the conductive layer 8 (relocation wiring 18) which carried out extension formation. Therefore, there is an advantage that the stress by the difference of the coefficient of thermal expansion between the circuit board (not shown) and a semiconductor chip 6 is eased

besides the effectiveness explained with the 1st operation gestalt by the stress relaxation layer 20 which consists of resin.

[0106] In addition, the optical glass of the piece of an individual may be stuck on the light-receiving chip beforehand cut by the piece of an individual as other manufacture approaches of a photo detector.

[0107] Drawing 12 is drawing showing the photo detector concerning the modification of the gestalt of this operation. A photo detector 300 contains a light filter 104 and a micro lens 106 in the above-mentioned photo detector 100 (refer to drawing 9) further. A light filter 104 and a micro lens 106 are formed in the 1st field B side.

[0108] In the example shown in drawing 12, the light filter 104 is directly formed in the field in which the light sensing portion 13 of a semiconductor chip 6 was formed. A light filter 104 may be formed in each semiconductor device in the state of a semi-conductor wafer. According to this, since a light filter 104 can be collectively formed in a semi-conductor wafer, it excels in productive efficiency. Or you may form in each semiconductor chip 6 after cutting to ****. Moreover, the formation approach of a light filter 104 may be formed by the staining technique which dyes the clear layer which it was not limited, for example, was formed beforehand, and may be formed by the pigment method which applies what distributed the pigment. In addition, with the application of a photolithography technique, patterning of the light filter 104 may be carried out to a predetermined configuration, and it may carry out patterning by print processes. If a light filter 104 is directly formed on a semiconductor chip 6, it is not necessary to form a light filter in optical-glass 109a (or optical-glass chip 109b).

[0109] In the example shown in drawing 12, two or more micro lenses (convex lens) 106 are arranged in the shape of an array by the 1st field B side. A micro lens 106 is arranged so that it may correspond to each pixel electrode (each light sensing portion 13) and 1 to 1. By this, the light which passes to each light sensing portion 13 can be extracted. In addition, a micro lens 106 is formed by glass, resin (plastics), etc.

[0110] A light filter 104 may be formed in the front face of optical-glass 109a (or optical-glass chip 109b) apart from the example shown in drawing 12 (refer to the 1st operation gestalt). Or a light filter 104 may be formed between optical-glass 109a (or optical-glass chip 109b), and a micro lens 106 and **.

[0111] Moreover, in the example shown in drawing 12, either a light filter 104 or the micro lens 106 may be omitted. For example, when a light filter 104 is omitted, the function of a light filter may be given to a micro lens 106.

[0112] In addition, a light filter 104 and a micro lens 106 can already be formed with the application of the well-known approach.

[0113] (Operation gestalt 3.) Drawing 13 - drawing 15 (B) are drawings showing the electronic equipment containing the photo detector (a light corpuscle child's example) concerning the gestalt of operation of this invention. Specifically, this electronic equipment may be image pick-up equipment containing various kinds of image sensors etc.

[0114] The personal computer 1000 which has the image pick-up section 1100 and a display 1200 is shown in drawing 13. This personal computer 1000 catches a photographic subject image in the image pick-up section 1100, and after it changes a lightwave signal into an electrical signal by the above-mentioned photo detector, it displays the image based on that electrical signal on a display 1200. According to this, since the small photo detector is mounted, the electronic equipment of small and high accumulation can be offered.

[0115] As an example of other electronic equipment, the digital camera 2000 equipped with the image pick-up section 2100 is shown in drawing 14, and the cellular phone 3000 equipped with the image pick-up section 3100 and a display 3200 is shown in drawing 15 (A) and drawing 15 (B).

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is the sectional view expanding and showing the photo detector concerning the 1st operation gestalt of this invention.

[Drawing 2] Drawing 2 is the explanatory view of the 1st manufacture approach of the photo detector concerning the 1st operation gestalt of this invention.

[Drawing 3] Drawing 3 is process drawing of the 2nd manufacture approach of the photo detector concerning the 1st operation gestalt of this invention.

[Drawing 4] Drawing 4 is process drawing of the 2nd manufacture approach of the photo detector concerning the 1st operation gestalt of this invention.

[Drawing 5] Drawing 5 is process drawing of the 2nd manufacture approach of the photo detector concerning the 1st operation gestalt of this invention.

[Drawing 6] Drawing 6 (A) – drawing 6 (G) are process drawings of the manufacture approach of the photo detector concerning the 1st operation gestalt of this invention.

[Drawing 7] Drawing 7 (A) – drawing 7 (G) are process drawings of the manufacture approach of the base of the photo detector concerning the 1st operation gestalt of this invention.

[Drawing 8] Drawing 8 (A) and drawing 8 (B) are process drawings of the manufacture approach of the photo detector concerning the 1st operation gestalt of this invention.

[Drawing 9] Drawing 9 is the sectional view expanding and showing the photo detector concerning the 2nd operation gestalt of this invention.

[Drawing 10] Drawing 10 (A) – drawing 10 (C) are process drawings of the manufacture approach of the photo detector concerning the 2nd operation gestalt of this invention.

[Drawing 11] Drawing 11 (A) – drawing 11 (C) are process drawings of the manufacture approach of the photo detector concerning the 2nd operation gestalt of this invention.

[Drawing 12] Drawing 12 is the sectional view expanding and showing the photo detector concerning the modification of the 2nd operation gestalt of this invention.

[Drawing 13] Drawing 13 is drawing showing the electronic equipment concerning the gestalt of operation of this invention.

[Drawing 14] Drawing 14 is drawing showing the electronic equipment concerning the gestalt of operation of this invention.

[Drawing 15] Drawing 15 (A) and drawing 15 (B) are drawings showing the electronic equipment concerning the gestalt of operation of this invention.

[Drawing 16] Drawing 16 is the sectional view expanding and showing the conventional photo detector package.

[Description of Notations]

1,100,300-Photo-detector

3 Semiconductor Device

3a "BAD" mark

4 Through Hole

5 Semi-conductor Wafer

6 Semiconductor Chip

8 Conductive Layer

9 9a Optical glass

9b Optical-glass chip (optical glass of the piece of an individual)

13 Light Sensing Portion

La, Lb Dicing line

A The 2nd field

B The 1st field

20 Stress Relaxation Layer

24 Pewter Ball (External Electrode)

102,104 Light filter

106 Micro Lens

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-94082

(P2002-94082A)

(43)公開日 平成14年3月29日(2002.3.29)

(51)Int.Cl.⁷ 識別記号

H 0 1 L 31/02

21/3205

23/12

27/14

H 0 4 N 5/335

5 0 1

F I

H 0 1 L 23/12

H 0 4 N 5/335

H 0 1 L 31/02

27/14

21/88

テマコード(参考)

5.01P 4M118

U 5C024

B 5F033

D 5F088

J

審査請求 未請求 請求項の数25 OL (全15頁)

(21)出願番号 特願2001-165017(P2001-165017)

(22)出願日 平成13年5月31日(2001.5.31)

(31)優先権主張番号 特願2000-209352(P2000-209352)

(32)優先日 平成12年7月11日(2000.7.11)

(33)優先権主張国 日本(J P)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 和田 健嗣

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 100090479

弁理士 井上 一 (外2名)

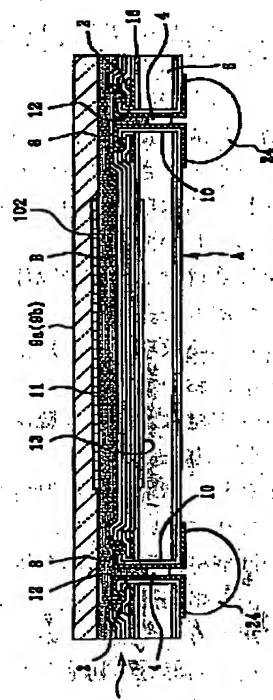
最終頁に続く

(54)【発明の名称】 光素子及びその製造方法並びに電子機器

(57)-【要約】

【課題】 装置の小型化を図るとともに両面の電気的導通を確保することができる光素子及びその製造方法並びに電子機器を提供することにある。

【解決手段】 光素子の製造方法は、光学部13と、光学部13と電気的に接続された電極2と、を備えた半導体素子3に貫通穴4を形成することと、貫通穴4の内壁面を含み、半導体素子3の光学部13が形成された側の第1の面Bから、この第1の面Bに対向する第2の面Aに亘る導電層8を形成することと、を有する。



(2)

【特許請求の範囲】

【請求項1】 光学部と、前記光学部と電気的に接続された電極と、を備えた半導体素子に貫通穴を形成することと、
前記貫通穴の内壁面を含み、前記半導体素子の前記光学部が形成された側の第1の面から、前記第1の面に対向する第2の面に亘る導電層を形成することと、を有する光素子の製造方法。

【請求項2】 請求項1記載の光素子の製造方法において、
前記半導体素子の前記第2の面に、前記導電層と電気的に接続する外部電極を形成することをさらに有する光素子の製造方法。

【請求項3】 請求項1又は請求項2に記載の光素子の製造方法において、
前記半導体素子の前記第2の面に応力緩和層を形成した後、前記導電層を前記応力緩和層上に形成する光素子の製造方法。

【請求項4】 請求項2を引用する請求項3記載の光素子の製造方法において、
前記外部電極を、前記第2の面における前記応力緩和層に対応する位置に形成する光素子の製造方法。

【請求項5】 請求項1から請求項4のいずれかに記載の光素子の製造方法において、
前記半導体素子は、半導体ウェハから切断されてなる半導体チップである光素子の製造方法。

【請求項6】 請求項1から請求項4のいずれかに記載の光素子の製造方法において、
前記半導体素子は、半導体ウェハの一部であり、前記半導体ウェハを、それぞれの前記半導体素子ごとに切断することをさらに有する光素子の製造方法。

【請求項7】 請求項1から請求項6のいずれかに記載の光素子の製造方法において、
前記導電層を形成した後に、前記第1の面側に光透過性部材を設けることをさらに有する光素子の製造方法。

【請求項8】 請求項5を引用する請求項7記載の光素子の製造方法において、
前記光透過性部材は、前記半導体チップと略同形状である光素子の製造方法。

【請求項9】 請求項6を引用する請求項7記載の光素子の製造方法において、
前記光透過性部材は、前記半導体ウェハと略同形状である光素子の製造方法。

【請求項10】 請求項6を引用する請求項7記載の光素子の製造方法において、
前記光透過性部材は、前記半導体ウェハのそれぞれの前記半導体素子と略同形状であり、前記半導体ウェハのそれぞれの前記半導体素子について電気的特性検査を行うことによって良品部分の判定を行い、前記光透過性部材を、前記良品部分と判定されたいずれかの前記半導体素

子に設ける光素子の製造方法。

【請求項11】 請求項10記載の光素子の製造方法において、
前記半導体ウェハをそれぞれの前記半導体素子ごとに切断した後に、前記光透過性部材を設ける光素子の製造方法。

【請求項12】 請求項7から請求項11のいずれかに記載の光素子の製造方法において、
前記光透過性部材は、光学ガラスである光素子の製造方法。

【請求項13】 請求項1から請求項12のいずれかに記載の光素子の製造方法において、
前記第1の面側に、カラーフィルタを設けることをさらに有する光素子の製造方法。

【請求項14】 請求項1から請求項13のいずれかに記載の光素子の製造方法において、
前記導電層を形成した後に、前記第1の面側にマイクロレンズを設けることをさらに有する光素子の製造方法。

【請求項15】 光学部と、前記光学部と電気的に接続された電極と、を有する半導体チップからなる光素子であって、
前記半導体チップは、貫通穴と、前記貫通穴の内壁面を含み、前記光学部が形成された側の第1の面から前記第1の面に対向する第2の面に亘って形成された導電層と、を有する光素子。

【請求項16】 請求項15記載の光素子において、
前記半導体チップの前記第2の面に形成され、前記導電層と電気的に接続してなる外部電極をさらに有する光素子。

【請求項17】 請求項15又は請求項16に記載の光素子において、
前記半導体チップの前記第2の面に形成された応力緩和層をさらに有し、
前記導電層は、前記応力緩和層上に形成されてなる光素子。

【請求項18】 請求項16を引用する請求項17記載の光素子において、
前記外部電極は、前記第2の面における前記応力緩和層に対応する位置に形成されてなる光素子。

【請求項19】 請求項15から請求項18のいずれかに記載の光素子において、
前記半導体チップの前記第1の面側に設けられた光透過性部材をさらに有する光素子。

【請求項20】 請求項19記載の光素子において、
前記光透過性部材は、前記半導体チップと略同形状である光素子。

【請求項21】 請求項19又は請求項20に記載の光素子において、
前記光透過性部材は、光学ガラスである光素子。

【請求項22】 請求項15から請求項21のいずれか

(3)

3

に記載の光素子において、

前記半導体チップの前記第1の面側に設けられたカラーフィルタをさらに有する光素子。

【請求項23】 請求項15から請求項22のいずれかに記載の光素子において、

前記半導体チップの前記第1の面側に設けられたマイクロレンズをさらに有する光素子。

【請求項24】 光学部と、前記光学部と電気的に接続された電極と、を有する半導体チップからなる光素子を備え、

前記半導体チップは、貫通穴と、前記貫通穴の内壁面を含み、前記光学部が形成された側の第1の面から前記第1の面に対向する第2の面に亘って形成された導電層と、を有する電子機器。

【請求項25】 請求項24記載の電子機器において、前記光素子からの信号に基づく画像を表示する表示部をさらに有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光素子及びその製造方法並びに電子機器に関する。

【0002】

【従来の技術】図16は従来の光素子パッケージを拡大して示す断面図である。

【0003】この従来の光素子パッケージ200は、積層セラミックスにリード202をろう付けしたセラミック・パッケージ204を含む。光素子208は、セラミック・パッケージ204のマウント部206上で、ダイボンド材210により固定される。光素子208の電極212と、セラミック・パッケージ204の電極214と、はワイヤボンディングによって電気的接続が図られている。また、光素子208の上方には、リッド材（光学ガラス）218が配置されている。リッド材218は、セラミック・パッケージ204の段部216にその縁部が引っ掛けられた状態で低融点ガラス220により固着され、セラミック・パッケージ204の中空部を封止している。

【0004】

【発明が解決しようとする課題】このように従来は、セラミック・パッケージ204上に光素子208を積層し、互いの電極をワイヤボンディングにより行っているため、パッケージング後の光学部の面積に比し、光素子パッケージ200の面積が大きくならざるを得ず、高密度実装化に限界があった。

【0005】また、セラミック・パッケージ204は材料費が高い上、製造工程が複雑なのでコスト高になってしまう。

【0006】本発明の目的は、装置の小型化を図るとともに両面の電気的導通を確保することができる光素子及びその製造方法並びに電子機器を提供することにある。

4

【0007】

【課題を解決するための手段】（1）本発明に係る光素子の製造方法は、光学部と、前記光学部と電気的に接続された電極と、を備えた半導体素子に貫通穴を形成することと、前記貫通穴の内壁面を含み、前記半導体素子の前記光学部が形成された側の第1の面から、前記第1の面に対向する第2の面に亘る導電層を形成することと、を有する。

【0008】本発明によれば、半導体素子に貫通穴を形成し、その貫通穴の内壁面を含み、半導体素子の光学部が形成された側の第1の面から前記第1の面に対向する第2の面に亘って導電層を形成する。したがって、外部との電気的接続は、第2の面側まで延出形成した導電層を利用して行われる。このため、従来のような外部電極を形成するためのセラミック・パッケージ等は不要となつてコストを下げる事が可能となり、さらに実装面積が大幅に縮小されて高密度実装化が容易となる。

【0009】（2）この光素子の製造方法において、前記半導体素子の前記第2の面に、前記導電層と電気的に接続する外部電極を形成することをさらに有してもよい。

【0010】（3）この光素子の製造方法において、前記半導体素子の前記第2の面に応力緩和層を形成した後、前記導電層を前記応力緩和層上に形成してもよい。

【0011】（4）この光素子の製造方法において、前記外部電極を、前記第2の面における前記応力緩和層に対応する位置に形成してもよい。

【0012】（5）この光素子の製造方法において、前記半導体素子は、半導体ウエハから切断されてなる半導体チップであってもよい。

【0013】（6）この光素子の製造方法において、前記半導体素子は、半導体ウエハの一部であり、前記半導体ウエハを、それぞれの前記半導体素子ごとに切断することをさらに有してもよい。

【0014】半導体素子が半導体ウエハの一部であれば、半導体チップを個片に切断する前の半導体ウエハの段階で、第1及び第2の面の電気的な導通を図ることができる。したがって、製造工程が簡略化される。

【0015】（7）この光素子の製造方法において、前記導電層を形成した後に、前記第1の面側に光透過性部材を設けることをさらに有してもよい。

【0016】（8）この光素子の製造方法において、前記光透過性部材は、前記半導体チップと略同形状であってもよい。

【0017】（9）この光素子の製造方法において、前記光透過性部材は、前記半導体ウエハと略同形状であってもよい。

【0018】（10）この光素子の製造方法において、前記光透過性部材は、前記半導体ウエハのそれぞれの前記半導体素子と略同形状であり、前記半導体ウエハのそ

(4)

5

れぞれの前記半導体素子について電気的特性検査を行うことによって良品部分の判定を行い、前記光透過性部材を、前記良品部分と判定されたいずれかの前記半導体素子に設けてもよい。

【0019】これによれば、半導体ウエハの各半導体素子について電気的特性検査を行い、良品部分の判定を行い、良品部分と判定されたいずれかの半導体素子に光透過性部材を設ける。したがって、不良品の半導体素子に光透過性部材が設けられることがないので、光透過性部材の無駄が無く、歩留まりが向上し、製造コストが抑制できる。

【0020】(11) この光素子の製造方法において、前記半導体ウエハをそれぞれの前記半導体素子ごとに切断した後に、前記光透過性部材を設けてもよい。

【0021】(12) この光素子の製造方法において、前記光透過性部材は、光学ガラスであってもよい。

【0022】(13) この光素子の製造方法において、前記第1の面側に、カラーフィルタを設けることをさらに有してもよい。

【0023】(14) この光素子の製造方法において、前記導電層を形成した後に、前記第1の面側にマイクロレンズを設けることをさらに有してもよい。

【0024】(15) 本発明に係る光素子は、光学部と、前記光学部と電気的に接続された電極と、を有する半導体チップからなる光素子であって、前記半導体チップは、貫通穴と、前記貫通穴の内壁面を含み、前記光学部が形成された側の第1の面から前記第1の面に対向する第2の面に亘って形成された導電層と、を有する。

【0025】本発明によれば、半導体チップは、貫通穴と、その貫通穴の内壁面を含み、半導体チップの光学部が形成された側の第1の面から前記第1の面に対向する第2の面に亘って形成された導電層と、を含む。外部との電気的接続は、第2の面側まで延出形成した導電層を利用して行われる。このため、従来のような外部電極を形成するためのセラミック・パッケージ等は不要となってコストを下げることが可能となり、さらに実装面積が大幅に縮小されて高密度実装化が容易となる。

【0026】(16) この光素子において、前記半導体チップの前記第2の面に形成され、前記導電層と電気的に接続してなる外部電極をさらに有してもよい。

【0027】(17) この光素子において、前記半導体チップの前記第2の面に形成された応力緩和層をさらに有し、前記導電層は、前記応力緩和層上に形成されてもよい。

【0028】(18) この光素子において、前記外部電極は、前記第2の面における前記応力緩和層に対応する位置に形成されてもよい。

【0029】(19) この光素子において、前記半導体チップの前記第1の面側に設けられた光透過性部材をさらに有してもよい。

6

【0030】(20) この光素子において、前記光透過性部材は、前記半導体チップと略同形状であってもよい。

【0031】(21) この光素子において、前記光透過性部材は、光学ガラスであってもよい。

【0032】(22) この光素子において、前記半導体チップの前記第1の面側に設けられたカラーフィルタをさらに有してもよい。

【0033】(23) この光素子において、前記半導体チップの前記第1の面側に設けられたマイクロレンズをさらに有してもよい。

【0034】(24) 本発明に係る電子機器は、光学部と、前記光学部と電気的に接続された電極と、を有する半導体チップからなる光素子を備え、前記半導体チップは、貫通穴と、前記貫通穴の内壁面を含み、前記光学部が形成された側の第1の面から前記第1の面に対向する第2の面に亘って形成された導電層と、を有する。

【0035】(25) この電子機器において、前記光素子からの信号に基づく画像を表示する表示部をさらに有してもよい。

【0036】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。次の実施の形態では、光素子の一例として受光素子を挙げて説明するが、本発明はこれに限定するものではなく、光素子は発光素子であってもよい。光素子は光学部を有する。光素子が受光素子であるときは、光学部は受光部であり、光素子が発光素子であるときは、光学部は発光部である。

【0037】(実施形態1.) 図1は本発明の第1実施形態に係る受光素子を拡大して示す断面図、図2は本実施形態の受光素子の第1の製造方法の説明図で、ベースとなる半導体ウエハ5とこれに貼り付けられる光学ガラス9(光透過性部材)との関係を示している。なお、図2では、光透過性部材として光学ガラス9を使用する例を示すが、光透過性部材の材料は、ガラスの他に例えば樹脂(プラスチック)などを使用してもよい。

【0038】図3～図5は本実施形態の受光素子の第2の製造方法の工程図で、図3は受光部を有する複数の半導体素子3が形成された半導体ウエハの状態、図4は各半導体素子3の電気的特性検査を行って不良部分に“BAD”マーク3aを付けた状態、図5は良品と判定されたいずれかの半導体素子3に個片の光学ガラス(以下、光学ガラスチップ9bという)を貼り付けた状態、をそれぞれ示している。なお、本実施の形態において、半導体素子3とは、半導体ウエハ5の一部又は切断後の半導体チップ6のいずれかを指す。

【0039】本実施形態に係る受光素子1は、そのパッケージング(導電層などの形成)をウエハレベルで行ったものであってもよい。その場合、受光素子1は、図2又は図5の各半導体素子3ごとに個片に切断して得られ

(5)

7

たものである。あるいは、受光素子1は、既に個辺に切断された半導体チップの状態、パッケージング（導電層などが形成）されてもよい。

【0040】図1のように、受光素子1は、受光部13と、受光部13と電氣的に接続された電極2と、を有する半導体チップ6からなる。半導体チップ6は、受光部13が形成された第1の面Bと、第1の面Bに対向する第2の面Aを有する。電極2は、第1の面Bに形成されることが多い。なお、半導体チップ6は、半導体ウエハ5から切断された半導体素子3（図2、図3参照）である。

【0041】半導体チップ6は、第1の面Bから第2の面Aを貫通する貫通穴4を有する。そして、半導体チップ6の貫通穴4の内壁面を含み、第1の面Bに形成された電極2から第2の面Aにかけて導電層8が形成されている。言い換えると、導電層8は、一方が電極2に電氣的に接続され、他方が第2の面Aに至るように形成されている。

【0042】受光素子1は、半導体チップ6の第2の面Aにおける貫通穴4の周縁の導電層8上に形成された外部電極となるハンダボール24を有してもよい。また、受光素子1は、半導体チップ6の第1の面Bに、透明樹脂または低融点ガラスからなる接着剤11などにより貼り付けられた光学ガラス9a又は光学ガラスチップ9bを有してもよい。

【0043】電極2には、絶縁膜10を介して貫通穴4と連通する穴12が形成されている。導電層8は、電極2の少なくとも一部に積層して形成されている。貫通穴4の内側において、導電層8の下には絶縁膜10が形成され、半導体チップ6の内部に形成された回路との電氣的接続を遮断している。そして、導電層8によって、半導体チップ6の第1の面Bと第2の面Aとの間の電氣的な接続が図られている。

【0044】光学ガラス9a又は光学ガラスチップ9bは、ここでは全面が受光部13に貼り付けられているが、これに限るものでなく、例えばその周辺部が受光部13を囲むように貼り付けてもよい。

【0045】受光素子1がカラーの撮像素子である場合には、図1に示すように、光学ガラス9a（又は光学ガラスチップ9b）にカラーフィルタ102が形成されてもよい。カラーフィルタ102は、着色層及び保護膜などから構成され、各画素電極（各受光部13）と1対1に対応するように形成される。カラーフィルタ102は、例えば、既に周知である染色法、顔料法、電着法又は印刷法などで形成される。半導体チップ6とは別部材の光学ガラス9a（又は光学ガラスチップ9b）に、カラーフィルタ102を形成することで、半導体チップ6に直接形成するよりも製造工程が簡単になる。

【0046】半導体チップ6は、受光部13が形成された表面に絶縁膜（層間膜）16を有する。絶縁膜16

8

は、半導体チップの基本的な材料であるシリコンの酸化膜であることが多い。絶縁膜16上には電極（パッド）2が形成され、電極2は図示しない部分で受光部13と電氣的に接続されている。電極2は、アルミニウム又は銅などの金属で形成されることが多い。電極2は、半導体チップ6の面の少なくとも1辺（多くの場合、2辺又は4辺）に沿って並んでいる。

【0047】次に、前述した受光素子1の第1の製造方法について、図2、及び図6（A）～図8（B）の工程図に基づき、図1を参照しながら説明する。

【0048】（第1の製造方法）まず、半導体チップ6の作成手順について図6（A）～図8（B）に基づき図1及び図2を参照しながら説明する。なお、以下に示す例では、ウエハレベルで（半導体ウエハの状態）導電層などを形成する。

【0049】図6（A）に示すように個片の半導体チップ6に切断する前の半導体ウエハ5には、受光部13が形成された表面に絶縁膜16が形成され、絶縁膜16上に電極2の下層部2aが形成されている。そして、下層部2aの端部には、絶縁膜28が下層部2a上に積層され、電極2の上層部2bが絶縁膜28上に至るように形成されている。また、電極2の中央部をさけて端部を覆って、パッシベーション膜30が形成されている。パッシベーション膜30は、例えば、SiO₂、SiN、ポリイミド樹脂などで形成することができる。

【0050】まず、半導体ウエハ5の第1の面B、つまり受光部13と電極2が形成された面に、電極2も覆ってレジスト32を形成する。レジスト32を形成する方法としては、スピンコート法、ディッピング法、スプレーコート法等の方法を用いることが可能である。レジスト32は、後述するエッチング工程でエッチングしない部分を覆うものであり、フォトリソ、電子線レジスト、X線レジストのいずれであってもよく、ポジ型又はネガ型のいずれであってもよい。本実施形態で使用するレジスト32は、ポジ型のフォトリソレジストである。レジスト32は、コーティング後に、他の部材に付着しないようにするため、プリベークして溶剤を飛ばす。

【0051】次いで、図6（B）に示すようにレジスト32をパターンニングする。詳しくは、レジスト32上にマスクを配置して、エネルギーを照射する。エネルギーは、レジスト32の性質によって異なり、光、電子線、X線のいずれを使用してもよい。本実施形態ではフォトリソレジスト32を使用し露光する。マスクの形状は、パターンニング形状によって決まり、レジスト32がポジ型であるかネガ型であるかによって反転形状となる。

【0052】露光後、レジスト32を現像しポストベークする。パターンニングされたレジスト32には、電極2の中央部を露出させる開口部34が形成されている。

【0053】図6（C）に示すようにレジスト32の開口部34によって露出した電極2の中央部をエッチング

(6)

9

する。エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング(RIE)であってもよい。また、エッチングとしてウェットエッチングを適用してもよい。こうして、電極2の中央部(端部を除く部分)に、穴36を形成する。穴36は、前述の図1で説明した貫通穴4となる位置に形成される。詳しくは、穴36は、貫通穴4の開口端部とほぼ同じか、あるいはそれ以上の大きさで形成され、貫通穴4と連通する。

【0054】そして、レジスト32を剥離した後、図6(D)に示すように半導体ウエハ5の電極2が形成された側(第1の面B側)と、その反対側(第2の面A側)に絶縁膜38、40を形成する。絶縁膜38、40は、シリコン酸化膜や窒化膜であってもよく、化学気相堆積(CVD)によって形成することができる。第1の面B側の絶縁膜38は、電極2及びパッシベーション膜30を覆う。電極2には穴36が形成されているので、絶縁膜38は、穴36の内部(内壁面及び露出した絶縁膜16)も覆う。

【0055】次いで、図6(E)に示すように半導体ウエハ5の第1の面B側と、第2の面A側に、レジスト42、44を形成した後、これらレジスト42、44をパターニングして、前述の図1で説明した貫通穴4となる位置に開口部46、48を形成する。開口部46は、穴36と開口部46との間に絶縁膜38が存在するように、電極2の穴36の内側に形成する。したがって、開口部46、48は、絶縁膜38、40の一部を露出させる。なお、レジスト42、44の形成及びそのパターニングの方法は、前述したレジスト32について説明した内容が該当する。レジスト42、44のうち一方(例えばレジスト42)を(例えば半導体ウエハ5の第1の面B側に)形成し、プリベークしてから、他方(例えばレジスト44)を形成し、これをプリベークしてもよい。

【0056】図6(F)に示すように、絶縁膜16、38に、電極2の穴36の内側に穴50を形成し、絶縁膜40に穴52を形成する。

【0057】図6(G)に示すように、レジスト42、44を剥離する。そして、図7(A)に示すように、半導体ウエハ5の穴50、52にて露出した部分をエッチングする。このエッチングする部分は、受光部13が形成されていない部分であり、シリコンで形成されている。このエッチングによって、半導体ウエハ5の表面に、視覚的に認識しやすい窪み54、56を形成する。窪み54、56の形状は、特に限定されず、テーパが付された形状であってもよいし、表面と垂直な壁面を有していてもよい。エッチングは、ウェットエッチングを適用することが簡単であるが、ドライエッチングを適用してもよい。エッチングの種類によって、窪み54、56の形状が決まる。

【0058】図7(B)に示すように、半導体ウエハ5

10

に、小孔58(例えば直径約20 μ m)を形成する。小孔58は、前述の図1で説明した貫通穴4よりも小さい径で、貫通穴4の中心に形成する。小孔58の形成には、レーザ(例えばYAGレーザやCO₂レーザ)を使用することができる。レーザビームは、前述した窪み54、56で位置を認識して照射することができる。レーザビームを、半導体ウエハ5の一方の面からのみ照射して小孔58を形成してもよいし、半導体ウエハ5の両面から(順番にあるいは同時に)レーザビームを照射してもよい。両面からレーザビームを照射すれば、半導体ウエハ5に与える影響が少ない。

【0059】図7(C)に示すように、半導体ウエハ5に貫通穴4を形成する。貫通穴4は、前述した小孔58を拡大させて形成する。例えば、ウェットエッチングを適用して、小孔58の内壁面をエッチングしてもよい。エッチング液として、例えば、沸酸と沸化アンモニウムを混合した水溶液(バフブレード沸酸)を用いてもよい。

【0060】貫通穴4は、ここでは軸方向の全ての部分で開口断面がほぼ同じ径となるように形成しているが、この貫通穴を、例えば開口端部と、開口端部よりも径の大きい中間部(例えば約40~50 μ mの径)と、を有する形状に形成してもよい。このように貫通穴の中間部の径をできるだけ大きくすれば、後述するCVDや無電解メッキを行いやすくなる。本例のように貫通穴4をストレート状に形成すれば、貫通穴4を形成することによる半導体ウエハ5の強度の低下を抑えることができる。なお、貫通穴4は、開口端部と中間部とを接続するテーパ部を有していてもよい。テーパ部も、小孔58をウェットエッチングで拡大することで形成される。

【0061】次に、図7(D)に示すように、少なくとも貫通穴4の内壁面に絶縁膜10を形成する。絶縁膜10の形成には、CVDを適用してもよい。絶縁膜10は、貫通穴4の内壁面以外の領域に形成されてもよい。例えば、絶縁膜38、40上に絶縁膜10が形成されてもよい。ただし、絶縁膜10によって、貫通穴4の開口を塞がないようにする。

【0062】次に、図7(E)に示すように、半導体ウエハ5の第1の面B側に、半導体ウエハ5の貫通穴4の、一方の開口を塞ぐようにレジスト64を形成した後、レジスト64をパターニングして、開口部68を形成する。なお、レジスト64を形成するときに、第2の面A側にもレジスト66が形成されてもよい。そして、レジスト64、66をプリベークする。レジスト64、66の形成及びそのパターニングの方法は、前述したレジスト32について説明した内容を適用することができる。開口部68は、電極2の少なくとも一部の上に形成されているが、貫通穴4の上方には、レジスト64の一部が残されたままとなっている。例えば、開口部68は、電極2の範囲内に収まる形状の外周と、少なくとも

(7)

11

貫通穴4の開口端部を覆う形状の内周と、の間にリング状に形成されている。なお、ここでいうリング状とは角リング状であっても丸リング状であってもよい。開口部68は、絶縁膜10の一部を露出させる。

【0063】次いで、図7(F)に示すように、パターンニングされたレジスト64をマスクとして、絶縁膜10、38をエッチングして、電極2の一部を露出させる。ここで露出するの一部は、電気的な接続を図る部分であるから、大きいことが好ましい。その後、図7

(G)に示すように、レジスト64、66を剥離する。

【0064】次に、導電層を形成するために、半導体ウエハ5の第1の面B側と第2の面A側にレジストを形成した後、パターンニングし、ブリークする。その後、図8(A)に示すように、第1の面Bの電極2から第2の面Aにかけて、かつ貫通穴4の内壁面(ここでは貫通穴4内の絶縁膜10表面)をも含む領域に導電層8を形成する。

【0065】この導電層8の形成工程を更に詳述すると、まず半導体ウエハ5の第1の面B側と第2の面A側にレジスト(図示しない)を形成する。第1の面B側のレジストは、段差の大きい領域に形成されるため、予めフィルム状をなしたもの(ドライフィルム)であることが好ましい。

【0066】次いで、半導体ウエハ5の第1の面B側と第2の面A側のレジストをパターンニングして、貫通穴4と連通する開口部(図示しない)と、この開口部に連なる配線パターン(図示しない)を形成する。第1の面B側の開口部は、電極2の一部を露出させる。

【0067】次に、貫通穴4から電極2の露出部分上に至るまで、無電解メッキのための触媒(図示しない)を付与する。ここでは、触媒としてパラジウムを用いる。触媒の形成方法として、例えば半導体ウエハ5をパラジウムとスズを含む混合溶液に浸し、その後、塩酸などの酸で処理することによってパラジウムのみを設けてもよい。あるいは、半導体ウエハ5を塩化スズ溶液に浸すことによってスズイオン(還元剤)を吸着させ、その後、塩化パラジウム溶液に半導体ウエハ5を浸して、スズイオン(還元剤)によりパラジウムイオンを還元しパラジウム核(触媒)を析出させてもよい。

【0068】あるいは、触媒を、インクジェット方式によって直接的に設けてもよい。インクジェット方式によれば、インクジェットプリンタ用に実用化された技術を応用することで、高速かつインクを無駄なく経済的に設けることが可能である。インクジェットヘッドは、例えばインクジェットプリンタ用に実用化されたもので、圧電素子を用いたピエゾジェットタイプ、あるいはエネルギー発生素子として電気熱変換体を用いたバブルジェット(登録商標)タイプ等が使用可能であり、吐出面積および吐出パターンは任意に設定することが可能である。これによって、レジストパターンニング工程及びレジスト剥

12

離工程を行うことなく、また全面に金属層を形成する場合はエッチング工程を行うことなく電気的な接続部を形成することが可能になる。

【0069】次いで、半導体ウエハ5の第1の面B側と第2の面A側のレジストを剥離する。レジストを剥離することによって、電気的な接続部を形成したい領域のみに触媒を設けることができる。レジストの剥離のときに、紫外線を照射してもよく、弱アルカリ性の溶液に浸してレジストを剥離してもよい。これによって容易かつ確実にレジストを剥離することができる。

【0070】なお、ここではレジストをパターン化した後に触媒を設け、その後にレジストを剥離することによって、触媒を電気的な接続部の形成領域に露出させているが、これに限るものではない。例えば、触媒を全面に設けた後に、レジストを電気的な接続部の形成領域を除いてパターン化して設けることによって、結果的に電気的な接続部の形成領域に触媒を露出させてもよい。この場合は、電気的な接続部の形成を終えた後にレジストを剥離する。

【0071】次に、触媒が露出する領域に、無電解メッキによって前述の導電層8を形成する。なお、触媒は、貫通穴4の内壁面(ここでは絶縁膜10の表面)と、半導体ウエハ5の第1の面B側及び第2の面A側と、に設けられている。したがって、導電層8は、半導体ウエハ5の第1の面B側と第2の面A側とを貫通穴4を介して連続的に形成される。また、導電層8は、電極2上に積層される。

【0072】導電層8の材料として、Ni、Au、Ni+Au、Cu、Ni+Cu、Ni+Au+Cuのいずれかを用いることができる。例えば、銅メッキ液を使用し、触媒であるパラジウムを核として溶液中の銅イオンを還元し、銅(導電層8)を析出する。なお、導電層8を形成するための導電材料として、複数の異種の金属(例えばNi+Cu、Ni+Au+Cu)を用いてもよく、これによって複数層で導電層8を形成してもよい。

【0073】無電解メッキのために、弱アルカリ性の銅メッキ溶液を用いてもよい。弱アルカリ性(pH9付近)の銅メッキとして例えば、PB-570MU、PB-570A、PB-570B、PB-570C、PB-570Sを混合してなるPB-570(メーカー名:荏原ユージーライト株式会社)を用いてもよい。これによれば、銅メッキ液が弱アルカリ性であるので、例えば電極2がアルミニウムであってもそれに与える損傷を少なくすることができる。

【0074】あるいは、電極2の表面に図示しない導電層を形成して電極2を保護すれば、強アルカリ性の溶液の使用も可能となる。導電層8は一層であっても複数層であってもよい。例えば、導電層8をニッケルと金との二層で形成してもよい。導電層8をニッケルで形成する方法として、予め電極2上にジンケート処理を施して

(8)

13

アルミニウム上の表面を亜鉛に置換し、その後に無電解ニッケルメッキ液中に浸漬し、亜鉛とニッケルの置換反応を経てニッケルを堆積してもよい。もしくは、アルミニウムを、アルミニウム上のみに選択的に吸着するパラジウム溶液に浸し、その後無電解ニッケルメッキ液中に浸し、パラジウムを核としてニッケルの皮膜を析出させてもよい。導電層8をニッケルのみで形成してもよいが、さらに無電解金メッキ液中に浸し、ニッケルの表面にさらに金の皮膜を形成してもよい。金の皮膜を形成することで導電層8との電気的接続をさらに確実にすることができる。

【0075】前述した例は全て湿式法（めっき）を用いた導電層8の形成方法であるが、その他の形成方法として従来行われている乾式法（スパッタなど）を用いた方法、または乾式法と湿式法を組み合わせた方法を採用してもよい。

【0076】なお、導電層8における第2の面A側の電気的な接続部となる貫通穴4の周縁部分は、導電層を厚く（例えば約5 μm 以上）形成することが好ましい。

【0077】以上の工程により導電層8が形成され、導電層8の一部が第2の面Aにおいてハンダボールを形成するための台座8a（図8（A）参照）となる。

【0078】ハンダボールの形成工程は、図8（B）に示すように、台座8aの上に、外部電極となるハンダボール24を形成する。ハンダボール24の形成は、まず台座8aの上に、ハンダボールとなるハンダを厚層状に形成する。このハンダの厚みは、その後のハンダボール形成時に要求されるボール径に対応したハンダ量で決まる。ハンダの層は、電解メッキや印刷等により形成される。その後、ウェットバックによって半球以上のボール状にして、ハンダボール24とする。ここで、ウェットバックとは、ハンダ材を外部電極形成位置に形成した後

にリフローさせて略半球状のバンプを形成することをいう。

【0079】以上のようにして、図2に示す複数の半導体素子3を有する半導体ウエハ5が得られる。

【0080】半導体ウエハ5に光学ガラス9（光透過性部材）を設けてもよい。例えば、図2に示すように、半導体ウエハ5の表面すなわち半導体素子3の第1の面Bに、半導体ウエハ5と略同形状で、半導体ウエハ5のダイシングラインLaと同じパターン

のダイシングラインLbが形成された光学ガラス9を、互いのダイシングラインLa、Lbの位置合わせを行ってから透明樹脂または低融点ガラスからなる接着剤11により貼り付ける。その後、ダイシングラインLa、Lbに沿って半導体ウエハ5と光学ガラス9を共に切断することで、図1に示す受光素子1を得る。

【0081】このように、本実施形態においては、半導体ウエハ5の各半導体素子3に貫通穴4を形成し、その貫通穴4の内壁面を含み、半導体素子3の受光部13が

14

形成された側の第1の面Bからそれに対向する第2の面Aに亘って導電層8を形成する。受光素子1の外部との電気的接続は、第2の面Aまで延出形成した導電層8を利用して行うことができる。このため、従来のような外部電極を形成するためのセラミック・パッケージ等は不要となるため、コストを下げることが可能となり、さらに実装面積を大幅に縮小することにより高密度実装化が容易となる。また、各半導体素子3を個片に切断する前の半導体ウエハ5の段階で光学ガラス9の貼り付けが行われるので、製造工程が簡略化され、パーティクル管理も不要となる。

【0082】次に、前述した受光素子1の第2の製造方法について、図3～図5の工程図に基づき、図1を参照しながら説明する。なお、導電層8などの作成手順は、前述の図6～図8により説明した内容を適用することができる。したがって、ここでは半導体素子3を有する半導体ウエハ5が得られた段階から説明する。

【0083】（第2の製造方法）まず、図3に示す半導体ウエハ5の各半導体素子3を、LSIテストとウエハプローバを用いて電気的特性検査を行い、良否を判定し、不良と判定されたいずれかの半導体素子3に、図4のように“BAD”マーク3aを付ける。“BAD”マーク3aのマーキングの方法としては、インクまたはレーザを用いる方法や、ウエハマップ（コンピュータが良品か不良品かの情報を記憶）を利用する。

【0084】次いで、良品と判定された半導体素子3の第1の面Bのみに、それぞれ図5に示すように個片の光学ガラスすなわち光学ガラスチップ9bを透明樹脂または低融点ガラスからなる接着剤11により貼り付ける。その後、ダイシングラインLaに沿って半導体ウエハ5を切断することで、図1に示す受光素子1を得る。

【0085】このように、本製造方法においても、各半導体素子3を個片に切断する前の半導体ウエハ5の段階で光学ガラスチップ9bの貼り付けが行われるので、製造工程が簡略化される。

【0086】また、従来のような外部電極を形成するためのセラミック・パッケージ等は不要となるため、コストを下げることが可能となり、さらに実装面積を大幅に縮小することにより高密度実装化が容易となる。

【0087】また、半導体ウエハ5の良品と判定された半導体素子3の第1の面Bのみに、光学ガラスチップ9bを貼り付けるようにしているので、不良品の受光チップ形成部3に光学ガラスチップ9bが貼り付けられることがなく、光学ガラスチップ9bの無駄が無く、歩留まりが向上する。

【0088】あるいは、半導体ウエハ5をそれぞれの半導体素子3ごとに切断した後に、光学ガラスチップ9bを、良品と判定されたいずれかの半導体素子3の第1の面Bに貼り付けてもよい。

【0089】（実施形態2.）図9は本発明の第2実施

(9)

15

形態に係る受光素子を拡大して示す断面図であり、図中、前述の第1実施形態の図1と同一部分には同一符号を付してある。なお、説明にあたっては、前述の図2～図7 (G) を参照するものとする。

【0090】本実施形態に係る受光素子100も、そのパッケージングをウエハレベルで行ったものであってもよい。また、受光素子100は、光学ガラス109a

(光透過性部材) を貼り付け後の各半導体素子3 (図2参照) を個片に切断して得られたものであってもよく、あるいは、良品と判定された各半導体素子3に光学ガラスチップ109bを貼り付けた後に、良品のいずれかの半導体素子3 (図5参照) を個片に切断して得られたものであってもよい。なお、光学ガラス109a (又は光学ガラスチップ109b) は、半導体チップ6の受光部13を覆うためのカバーガラスであってもよい。

【0091】受光素子100は、図9のように受光部13が形成された第1の面Bに、受光部13と電気的に接続された電極2を有する半導体チップ6からなる。半導体チップ6については、第1実施形態で既に説明した通りである。

【0092】受光素子100は、半導体チップ6の第2の面Aに部分的に形成された応力緩和層20を有する。そして、導電層8は、貫通穴4の内壁面を含み、電極2から応力緩和層20の上にかけて形成されている。受光素子100は、導電層8のうち、応力緩和層20上に形成された部分にハンダボール24を有してもよい。すなわち、導電層8のうち、応力緩和層20の上に形成された部分は、外部電極となるハンダボール24を設けるための台座22となる。また、受光素子100は、第2の面Aの保護や防湿性の向上を目的として形成されてハンダボール24を除く部分を覆うソルダレジスト層からなる保護膜26と、透明樹脂または低融点ガラスからなる接着剤11により半導体チップ6の第1の面Bに貼り付けられた光学ガラス109a (又は光学ガラスチップ109b) と、を有してもよい。なお、ここでも光学ガラス109a (又は光学ガラスチップ109b) は、全面が受光部13に貼り付けられているものを例に挙げているが、これに限るものでなく、例えばその周辺部が受光部13を囲むように貼り付けてもよい。それ以外の構成については、前述の図1で説明した内容を適用することができる。

【0093】次に、前述した受光素子100の製造方法について説明する。本例においても前述のように大別して二通りの製造方法がある。一つは、半導体ウエハ5の表面すなわち半導体素子3を有する側の面に、半導体ウエハ5と略同形状で、半導体ウエハ5のダイシングラインLaと同じパターンダイシングラインLbが形成された光学ガラス109aを、互いのダイシングラインLa、Lbの位置合わせを行ってから透明樹脂または低融点ガラスからなる接着剤11により貼り付ける (図2参

16

照)。その後、ダイシングラインLa、Lbに沿って半導体ウエハ5と光学ガラス109aを共に切断することで、図9に示す受光素子100を得る方法である。また他の一つは、半導体ウエハ5の各半導体素子3を、LSIテストとウエハプローブを用いて電気的特性検査を行い、良否を判定し、不良受光チップ形成部に”BAD”マーク3aを付け、良品と判定された受光チップ形成部3の第1の面Bのみに、それぞれ光学ガラスチップ109bを透明樹脂または低融点ガラスからなる接着剤11により貼り付ける (図3～図5参照)。その後、ダイシングラインLaに沿って半導体ウエハ5を切断することで、図9に示す受光素子100を得る方法である。

【0094】半導体チップ6は、図6 (A) ～図7 (G) 及び図10 (A) ～図11 (C) の工程を経て作成されるが、貫通穴4を形成するまでの工程 (図6 (A) ～図7 (G)) については前述の実施形態1で説明した内容をそのまま適用することができる。したがって、ここでは貫通穴4形成後の工程 (図10 (A) ～図11 (C)) を中心に説明する。

【0095】まず、図7 (G) のように各半導体素子3に貫通穴4が形成され、電極2の一部が露出された半導体ウエハ5の第2の面Aに、図10 (A) のように感光性のポリイミド樹脂を塗布して (例えば「スピニング法」にて) 樹脂層70を形成する。樹脂層70は、1～100 μ mの範囲、更に好ましくは10 μ m程度の厚みで形成されることが好ましい。なお、スピニング法では、無駄になるポリイミド樹脂が多いので、ポンプによって帯状にポリイミド樹脂を吐出する装置を使用してもよい。このような装置として、例えばFAS社製のFAS超精密吐出型コーティングシステム (米国特許第4696885号参照) などがある。なお、この樹脂層70が、前述の図9で説明した応力緩和層20としての機能を有する。

【0096】次いで、図10 (B) のように樹脂層70を露光、現像及び焼成処理によって、後述の再配置配線の台座となる部分すなわち応力緩和層20を残し除去する。

【0097】なお、ここでは応力緩和層20となる樹脂に感光性ポリイミド樹脂を用いた場合を例に挙げて説明したが、感光性のない樹脂を用いても良い。例えばシリコン変性ポリイミド樹脂、エポキシ樹脂やシリコン変性エポキシ樹脂等、固化したときのヤング率が低く (1×10¹⁰Pa以下)、応力緩和の働きを果たせる材質を用いると良い。非感光性の樹脂を用いた場合には、その後、フォトリソを用いてフォトリソ工程を経て所定の形状を形成させる。

【0098】次に、導電層を形成するために、半導体ウエハ5の第1の面B側と第2の面A側にレジストを形成した後、パターンニングし、ブリークする。その後、図10 (C) に示すように、第1の面Bの電極2から第2

(10)

17

の面Aにかけて、第2の面A側に再配置配線18及び応力緩和層20の表面を覆う台座22を有し、かつ貫通穴4の内壁面（ここでは貫通穴4内の絶縁膜10表面）をも含む領域に導電層8を形成する。この導電層8のパターンを除く形成工程の詳細については、前述の実施形態1の図8（A）及び図8（B）を用いて説明した内容を適用することができる。

【0099】なお、第2の面A側の電氣的な接続部となる台座22は、導電層を厚く（例えば約5 μ m以上）形成することが好ましい。

【0100】以上の工程により導電層8が形成され、導電層8の一部が第2の面Aにおいて再配置配線18を形成し、再配置配線18の末端がポリイミド等の樹脂で形成された応力緩和層20の表面を覆い、この部分がハンダボールを形成するための台座22となる。

【0101】ハンダボールの形成工程は、まず半導体ウエハ5の第2の面A側の全面に図11（A）に示すように、保護膜26となる感光性のソルダレジスト層を塗布により形成する。

【0102】そして、露光、現像及び焼成処理を行って、図11（B）に示すように、ソルダレジスト層のうち、台座22を覆っている部分の領域を除去する。こうして、残されたソルダレジスト層は、酸化防止膜として、また最終的に受光素子100（図9）となったときの第2の面Aの保護や、更には防湿性の向上を目的とした保護膜26となる。

【0103】その後、図11（C）に示すように、台座22の上に、外部電極となるハンダボール24を形成する。ハンダボール24の形成は、まず台座22の上に、ハンダボールとなるハンダを厚層状に形成する。このハンダの厚みは、その後のハンダボール形成時に要求されるボール径に対応したハンダ量で決まる。ハンダの層は、電解メッキや印刷等により形成される。その後、ウェットバックによって半球以上のボール状にして、ハンダボール24とする。

【0104】以上のようにして、図1又は図3に示すような複数の半導体素子3を有する半導体ウエハ5が得られる。そして、このようにして形成された半導体ウエハ5の半導体素子3によれば、これが個片に切断され最終的に受光素子100（図9）となったときに、樹脂からなる応力緩和層20によって、回路基板（図示せず）と半導体チップ6との間の熱膨張係数の差による応力が緩和される。

【0105】このように、本実施形態においては、半導体ウエハ5の各半導体素子3の第2の面A側に部分的に応力緩和層20を形成する。そして、導電層8は、電極2から、貫通穴4の内壁面を含み、応力緩和層20の上にかけて形成される。本実施の形態においても、受光素子100の外部との電氣的接続は、第2の面Aの応力緩和層20上にまで延出形成した導電層8（再配置配線1

18

8）を利用して行うことができる。そのため、第1実施形態で説明した効果の他に、樹脂からなる応力緩和層20によって、回路基板（図示せず）と半導体チップ6との間の熱膨張係数の差による応力が緩和されるという利点がある。

【0106】なお、受光素子の他の製造方法として、予め個片に切断された受光チップに、個片の光学ガラスを貼り付けても良い。

【0107】図12は、本実施の形態の変形例に係る受光素子を示す図である。受光素子300は、上述の受光素子100（図9参照）に、カラーフィルタ104と、マイクロレンズ106と、をさらに含むものである。カラーフィルタ104及びマイクロレンズ106は、第1の面B側に形成される。

【0108】図12に示す例では、カラーフィルタ104は、半導体チップ6の受光部13が形成された面に直接形成されている。カラーフィルタ104は、半導体ウエハの状態で各半導体素子に形成してもよい。これによれば、半導体ウエハに、一括してカラーフィルタ104を形成することができるので生産効率に優れる。あるいは、個々に切断した後の各半導体チップ6に形成してもよい。また、カラーフィルタ104の形成方法は限定されず、例えば、予め形成した透明層を染色する染色法で形成してもよいし、顔料を分散させたものを塗布する顔料法で形成してもよい。なお、カラーフィルタ104は、フォトリソグラフィ技術を適用して所定の形状にパターンニングしてもよく、印刷法によってパターンニングしてもよい。半導体チップ6上に直接的にカラーフィルタ104を形成すれば、光学ガラス109a（又は光学ガラスチップ109b）に、カラーフィルタを形成せずに済む。

【0109】図12に示す例では、複数のマイクロレンズ（凸レンズ）106は、第1の面B側でアレイ状に配置されている。マイクロレンズ106は、各画素電極（各受光部13）と1対1に対応するように配置される。これによって、各受光部13に通過する光を絞ることができる。なお、マイクロレンズ106は、ガラスや樹脂（プラスチック）などで形成される。

【0110】図12に示す例とは別に、カラーフィルタ104は、光学ガラス109a（又は光学ガラスチップ109b）の表面に形成してもよい（第1の実施形態参照）。あるいは、光学ガラス109a（又は光学ガラスチップ109b）と、マイクロレンズ106と、の間にカラーフィルタ104を形成してもよい。

【0111】また、図12に示す例において、カラーフィルタ104又はマイクロレンズ106のいずれか一方を省略してもよい。例えば、カラーフィルタ104を省略した場合、マイクロレンズ106にカラーフィルタの機能を持たせてもよい。

【0112】なお、カラーフィルタ104及びマイクロ

(11)

19

レンズ106は、既に周知の方法を適用して形成することができる。

【0113】(実施形態3.) 図13～図15(B)は、本発明の実施の形態に係る受光素子(光素子の一例)を含む電子機器を示す図である。この電子機器は、具体的には、各種のイメージセンサ等を含む撮像装置であつてもよい。

【0114】図13には、撮像部1100及び表示部1200を有するパーソナルコンピュータ1000が示されている。このパーソナルコンピュータ1000は、被写体像を撮像部1100で捉え、上述の受光素子で光信号を電気信号に変換した後、その電気信号に基づく画像を表示部1200に表示する。これによれば、小型の受光素子が実装されているので、小型かつ高集積の電子機器を提供することができる。

【0115】その他の電子機器の例として、図14には撮像部2100を備えるデジタルカメラ2000が示されており、図15(A)及び図15(B)には撮像部3100及び表示部3200を備える携帯電話3000が示されている。

【図面の簡単な説明】

【図1】図1は、本発明の第1実施形態に係る受光素子を拡大して示す断面図である。

【図2】図2は、本発明の第1実施形態に係る受光素子の第1の製造方法の説明図である。

【図3】図3は、本発明の第1実施形態に係る受光素子の第2の製造方法の工程図である。

【図4】図4は、本発明の第1実施形態に係る受光素子の第2の製造方法の工程図である。

【図5】図5は、本発明の第1実施形態に係る受光素子の第2の製造方法の工程図である。

【図6】図6(A)～図6(G)は、本発明の第1実施形態に係る受光素子の製造方法の工程図である。

【図7】図7(A)～図7(G)は、本発明の第1実施形態に係る受光素子のベースの製造方法の工程図である。

20

【図8】図8(A)及び図8(B)は、本発明の第1実施形態に係る受光素子の製造方法の工程図である。

【図9】図9は、本発明の第2実施形態に係る受光素子を拡大して示す断面図である。

【図10】図10(A)～図10(C)は、本発明の第2実施形態に係る受光素子の製造方法の工程図である。

【図11】図11(A)～図11(C)は、本発明の第2実施形態に係る受光素子の製造方法の工程図である。

【図12】図12は、本発明の第2実施形態の変形例に係る受光素子を拡大して示す断面図である。

【図13】図13は、本発明の実施の形態に係る電子機器を示す図である。

【図14】図14は、本発明の実施の形態に係る電子機器を示す図である。

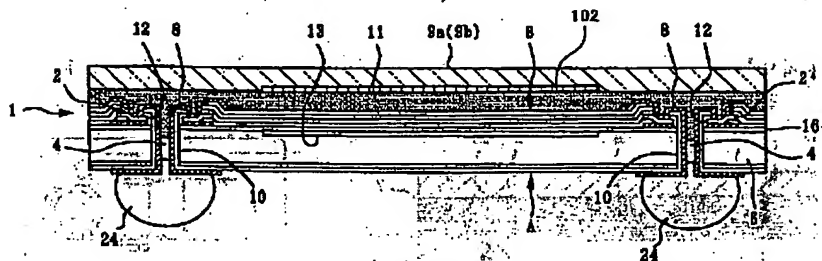
【図15】図15(A)及び図15(B)は、本発明の実施の形態に係る電子機器を示す図である。

【図16】図16は、従来の受光素子パッケージを拡大して示す断面図である。

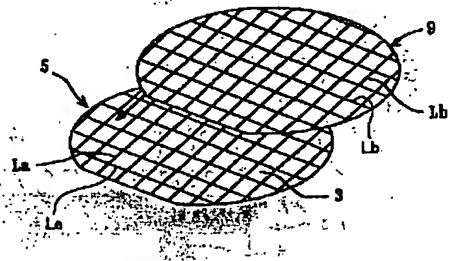
【符号の説明】

- 1, 100, 300 受光素子
- 3 半導体素子
- 3a "BAD" マーク
- 4 貫通穴
- 5 半導体ウエハ
- 6 半導体チップ
- 8 導電層
- 9, 9a 光学ガラス
- 9b 光学ガラスチップ(個片の光学ガラス)
- 13 受光部
- La, Lb ダイシングライン
- A 第2の面
- B 第1の面
- 20 応力緩和層
- 24 ハンダボール(外部電極)
- 102, 104 カラーフィルタ
- 106 マイクロレンズ

【図1】

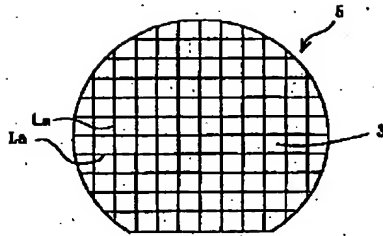


【図2】

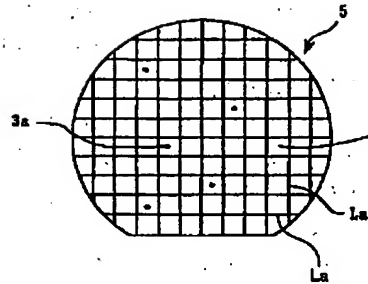


(12)

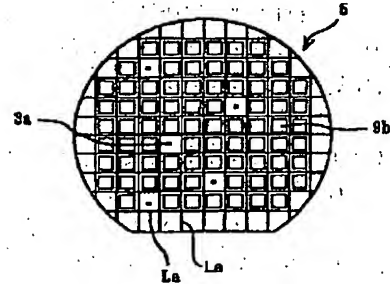
【図3】



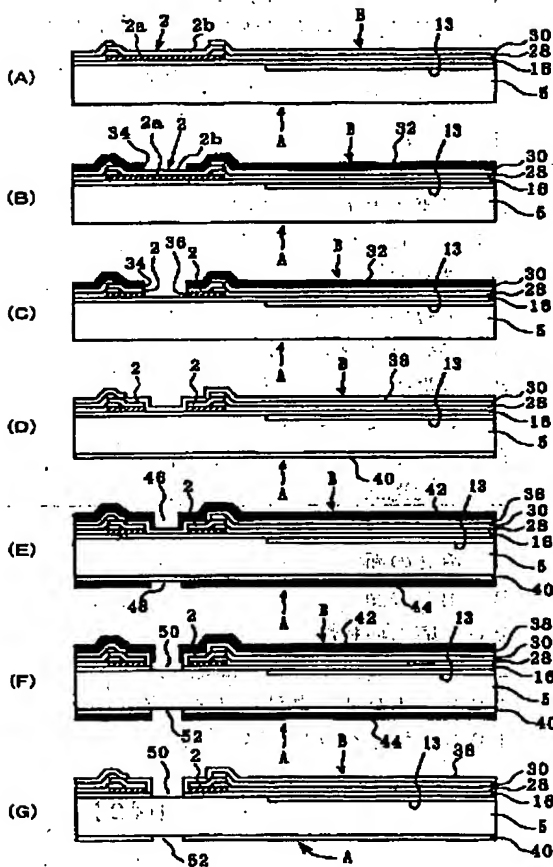
【図4】



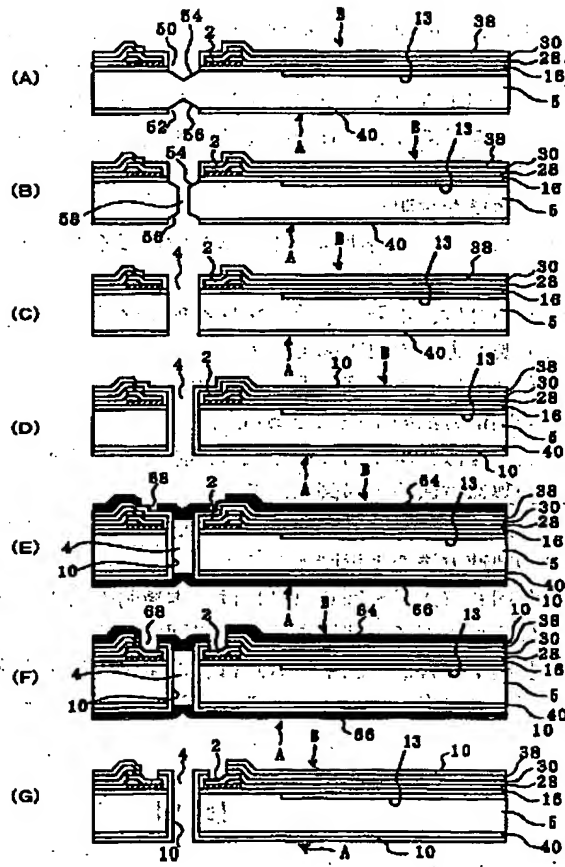
【図5】



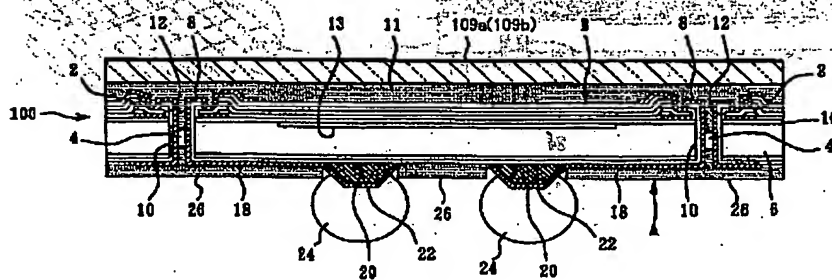
【図6】



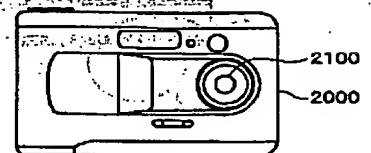
【図7】



【図9】

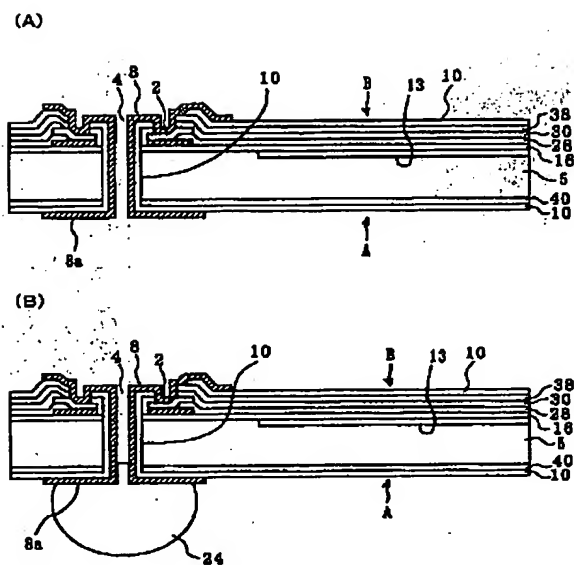


【図14】

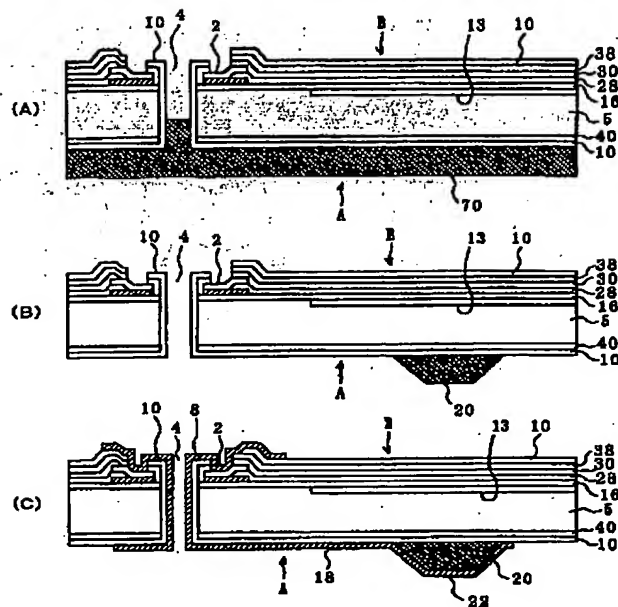


(13)

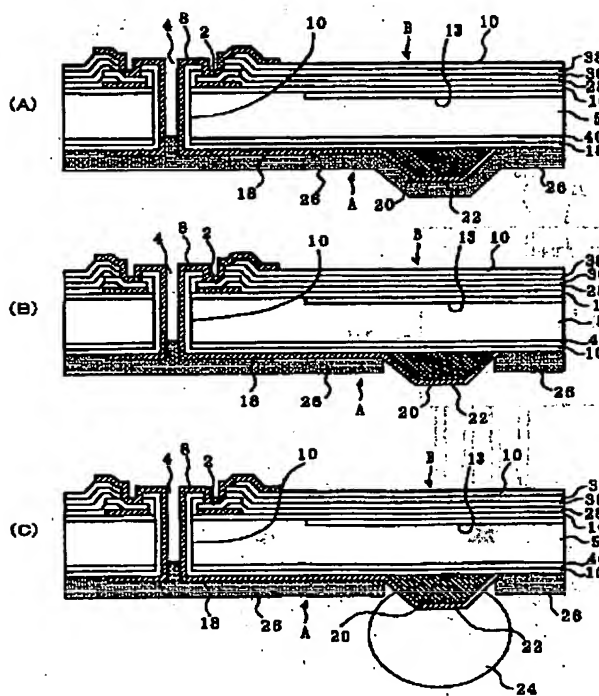
【図8】



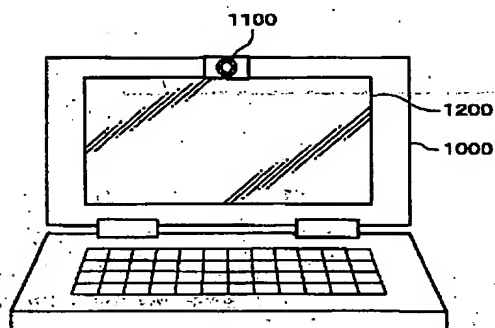
【図10】



【図11】

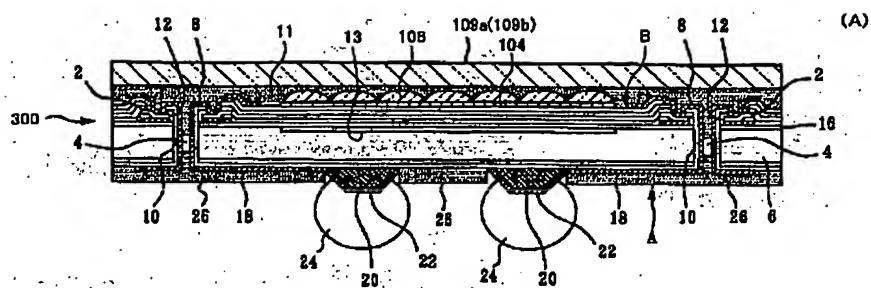


【図13】

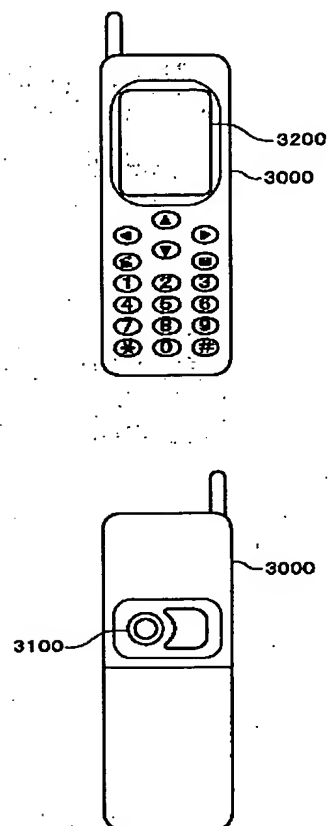


(14)

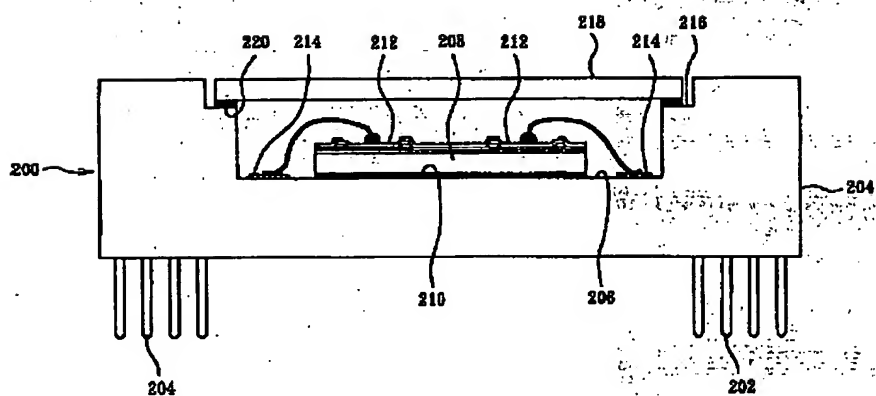
【図 12】



【図 15】



【図 16】



(15)

フロントページの続き

Fターム(参考) 4M118 AA09 AA10 AB01 CA32 EA01
EA05 GC07 GD07 HA02 HA24
HA29 HA31
5C024 BX01 BX06 BX07 CY47 EX25
CX02
5F033 HH07 HH08 HH11 HH12 HH13
JJ07 JJ11 JJ12 JJ13 KK07
KK11 KK12 KK13 MM30 PP15
PP28 QQ09 QQ11 QQ13 QQ19
QQ37 QQ53 RR04 RR06 RR22
SS11 VV07 XX00
5F088 BA15 BA16 BB03 DA20 EA16
FA09 FA11 HA05 JA09 JA12
JA13 JA20